

應用於 3.1-10.6GHz 高增益低電壓超寬頻之低雜訊放大器設計

李顯億*
建國科技大學
電子工程系
yih@cc.ctu.edu.tw

蔡秉憲
建國科技大學
電子工程系
gesnh003@gmail.com

林國緯
建國科技大學
電子工程系
baseball_922@yahoo.com.tw

摘要

本論文研究應用於 3.1~10.6 GHz 高增益低電壓超寬頻(Ultra-Wide Band ,UWB)之低雜訊放大器(Low-Noise Amplifier ,LNA)設計，以無線通訊技術趨勢為消耗功率低、成本低、增益高、積體性高等，第一級架構使用電感式源極退化(Common-gate)電路的架構求得較佳的隔離度，第二級架構使用疊接式(Cascode)加上電阻回授式電路提高功率增益，第三級架構使用電容器之高通濾波器求得較佳輸出反射係數，此整體電路利用台積電 0.18 μ m CMOS 製程參數進行模擬結果，與安捷倫 Advanced Design System (ADS)模擬軟體，模擬之結果提供電壓為 1 V，功率消耗為 7.79 mW 可得最大功率增益為 17.399 dB、雜訊指數可得最低為 2.915 dB。

關鍵詞：CMOS、超寬頻、低雜訊放大器。

Abstract

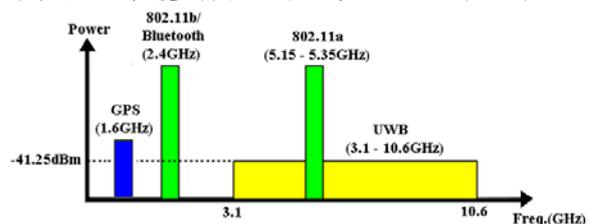
This thesis is applied to 3.1-10.6 GHz high gain low voltage ultra wideband low noise amplifier design. Trends in wireless communication technology, with low power consumption, low cost, high gain, the integrated nature of higher. The first stage architecture using inductive source degeneration for the better isolation performance. The second stage architecture using cascode-resistor feedback improve power gain. The third stage architecture using capacitor high-pass filter for the better output reflection coefficient. This whole circuit uses TSMC 0.18 μ m CMOS process parameters simulation results, and Agilent - Advanced Design System (ADS) simulation software. For the supply voltage of 1.0V. The measured maximum gain 17.399dB, the minimum noise figure is 2.915 dB, and the total

power consumption is 7.79 mW.

Keywords: CMOS·Ultra Wide Band·Low Noise Amplifier .

1. 前言

目前隨著無線通訊系統迅速的攀升，因此不同的技術需求越來越高更不斷地被運用在現實生活中，其中無線通訊的射頻電路的應用，如 Zigbee、Wireless LNA、Bluetooth、WiMAX(Worldwide Interoperability for Microwave Access)等相關技術，這些技術各有許多優缺點，超寬頻技術與現代的無線傳輸比較，顯然有優勢的存在。美國聯邦通訊委員會(Federal Communication Commission ,FCC)於 2002 年二月二十四日正式立法通過超寬頻技術，准許超寬頻(Ultra-wideband ,UWB)技術使用於商業化的用途，並開放 7500 MHz 的工作頻帶 3.1~10.6 GHz 給予超寬頻技術使用，其發射功率頻譜密度位於-41.25 dBm/Mbps，以防止外在雜訊干擾到其他通訊系統，如圖一所示。



圖一、UWB 頻帶示意圖[1]

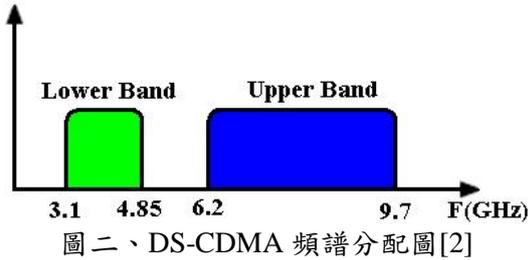
超寬頻技術具有短距離高傳輸速率、低功率消耗、低成本、等吸引更多市場上的商機。FCC 對於 UWB 認可之外，以學術界與企業界關注的 3.1~10.6 GHz 頻帶寬，可分為兩種傳輸方式，分別為脈衝無線電(Impulse Radio)、多頻帶系統(Multi-band system)。

多頻帶系統調變技術，主要分為以下兩種技術：

(1) 直接序列分碼多工存取(Direct Sequence-Code Division Multiple

Access ,DS-CDMA) :

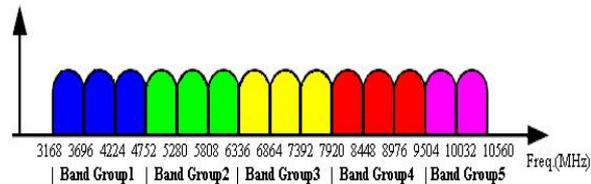
主要分為低頻帶寬(Low Frequency Band ,LFB)的頻寬範圍位於 3.1~4.85 GHz；另高頻帶寬(High Frequency Band ,HFB)的頻寬範圍位於 6.2~9.7 GHz，如圖二所示。



圖二、DS-CDMA 頻譜分配圖[2]

(2) 多頻帶正交分頻多工 (Multiband Orthogonal Frequency Division Multiplexing ,MB-OFDM) :

主要頻譜範圍位於 3.168~10.560 GHz，超寬頻系統頻帶寬 5 個群組 14 個頻帶，每個子頻帶寬為 528 MHz，再經由頻帶寬分成 5 個 Band Group，如圖三所示。

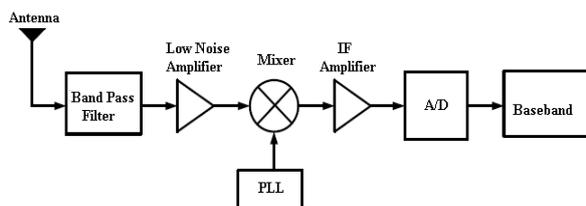


圖三、MB-OFDM 頻譜分配圖[1]

2. 射頻系統設計之基礎

2.1 接收機系統架構

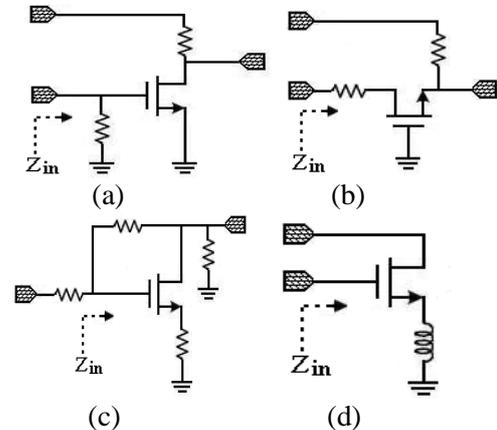
近年來，無線通訊系統的接收機架構可被運用在不同的接收機，在設計這些基本架構都有相同的目標，可達到系統上高積體化、減少額外的主動元件、被動元件等，接收機之基本架構圖，訊號雜訊經由天線系統內部後，對電路產生不良干擾，並由 LNA 減少本身所產生雜訊所接收訊號內，然後由降頻混波器將高頻訊號轉換基頻訊號，PLL 與本地振盪器(Local Oscillator ,LO)組成，並產生訊號給降頻混波器使用，其中接收器架構包括低雜訊放大器、降頻混波器、中頻放大器、頻率合成器以及額外被動元件等，如圖四所示。



圖四、接收機之基本架構[2]

2.2 LNA 基本架構

低雜訊放大器在第一級放大器主要以整體接收機的雜訊和放大訊號之外，將雜訊控制在規範之內。為了降低雜訊指數對電路的影響，在設計電路最重要雜訊低、增益高、消耗功率低等，常見的低雜訊放大器架構，有四種基本架構，如圖五所示。

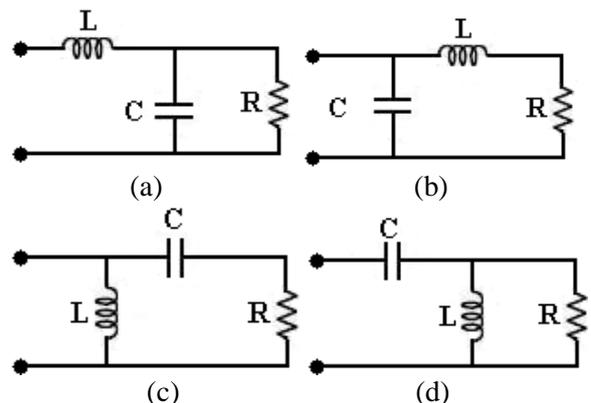


圖五、(a) 輸入端並聯電阻電路架構；(b) 共開級電路架構；(c) 電阻回授電路架構；(d) 電感式源極退化電路架構[3]

2.3 阻抗匹配技術

在高頻電路的設計中，經由功率傳輸、功率增益必須要實際的信號阻抗或者負載轉換為主動元件所需要阻抗，被稱之為阻抗匹配 (Impedance Matching)。在接收機系統、發射機系統，由信號與負載之間阻抗匹配技術為重要來源。

L 型阻抗匹配網路有四種組成架構，以電感器與電容器兩個被動元件所組成最簡單架構，如圖六所示。



圖六、(a) 電感器輸入之低通濾波器；(b) 電容器輸入之低通濾波器；(c) 電容器輸入之高通濾波器；(d) 電容器輸入之高通濾波器[4]

2.4 雜訊

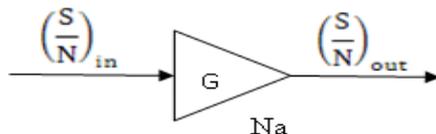
雜訊(Noise)會隨機變動訊號，並以非週期性，所存在著連續與不連續且無限時段訊號中，主要有不同頻率的相位雜訊與振幅調變，在雜訊都是以平均功率的方式來表示。其中主要雜訊有兩個來源，一個是由外界接收進來到系統雜訊中，另一個是整體電路本身所產生的雜訊。

在雜訊的種類可分為熱雜訊(Thermal Noise)、閃爍雜訊(Flicker Noise)、擴散雜訊(Diffusion Noise)、分流雜訊(Partition Noise)、散彈雜訊(Shot Noise)以及產生-複合雜訊(Generated-Recombined Noise)來描述，其無線通訊系統本身所產生雜訊之外，被稱之為雜訊。

2.4.1 雜訊指數

在射頻系統設計中，以雜訊指數(noise figure, NF)都用來量測訊號接收進來的射頻放大器電路中雜訊參數為重要之一，其整體電路的雜訊指數或射頻系統的輸入端的雜訊比除以輸出端的雜訊比值，如式(2.4.1)所示。

$$F = \frac{SNR@input}{SNR@output} = \frac{S_i}{S_o} \frac{N_o}{N_i} = \frac{1}{G} \frac{N_o}{N_i} \geq 1 \quad (2.4.1)$$



圖七、放大雜訊模型圖[5]

如圖七中訊號輸入 S_{in} 與雜訊輸入 N_{in} ，將一個放大器增益為 G ，在輸出雜訊端放大器電路所產生出訊號輸出 S_{out} 與雜訊輸出 N_{out} ，以輸入訊號端經由雜訊放大，而放大器本身所產生雜訊為 N_a ，雜訊指數定義如式(2.4.2)-(2.4.5)所示。

$$Gain = \frac{S_{out}}{S_{in}} \quad (2.4.2)$$

$$N_{out} = N_a + G * N_{in} \quad (2.4.3)$$

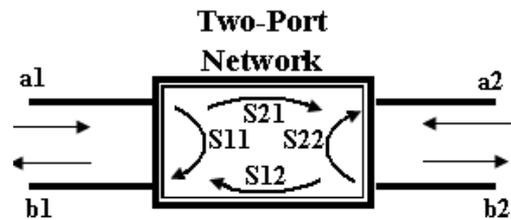
$$Noise\ Factor = \frac{1}{G} * \frac{N_{out}}{N_{in}} = \frac{N_a + GN_{in}}{GN_{in}} \quad (2.4.4)$$

$$Noise\ Figure\ (dB) = 10 \left(\frac{N_a + GN_{in}}{GN_{in}} \right) \quad (2.4.5)$$

2.5 S 參數

在高頻電路系統設計中，不能被量測定電

壓以及定電流，所以頻率偏高時不易被量測到 Y 參數、H 參數、Z 參數等，將參數使用電壓與電流來量測定電路特性。必須用電壓或電流之間來量測精確度與測定評估，主要 S 參數 (Scattering Parameter) 被稱為散射參數，在雙埠網路架構是最常見的形式，以 S 參數容易量測到其他種類的雙埠網路參數更佳操作在不同高頻段，如圖八所示。



圖八、雙埠網路圖[4]

S 參數分為 S_{11} 、 S_{12} 、 S_{21} 、 S_{22} 表示輸出埠、輸入埠反射現象、隔離度以及增益，即時稱為雙埠網路架構的 S 參數，其矩陣如下：

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} * \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \Rightarrow \begin{aligned} b_1 &= S_{11}a_1 + S_{12}a_2 \\ b_2 &= S_{21}a_1 + S_{22}a_2 \end{aligned}$$

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0}$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0}$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0}$$

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0}$$

圖九、 S_{11} ：輸入反射係數(Input Reflection Coefficient)； S_{12} ：反向穿透係數(Reverse Transmission Coefficient)； S_{21} ：順向穿透係數(Forward Transmission Coefficient)； S_{22} ：輸出反射係數(output Reflection Coefficient)

2.6 1dB 增益壓縮點

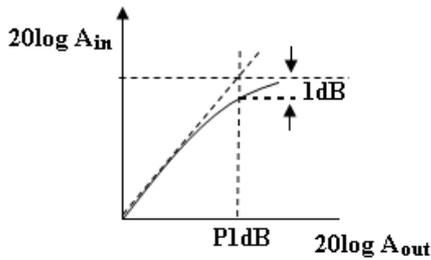
1dB 增益壓縮點(1 dB Compression Point)用於訊號放大器的線性操作範圍，以非線性的特性之外，其雜訊指數、輸入輸出功率以及增益等，然而放大器的增益在小訊號時，輸入輸出功率呈現出線性關係，如圖十所示。將不維持訊號進入飽和狀態被稱為壓縮，且非線性的輸出增益和輸出電壓無法輸入訊號線性的提

升，以增益壓縮點下降為 1dB，如式(2.6.1) - (2.6.2)所示。

$$20 \log |a_1| - 1\text{dB} = 20 \log \left| a_1 + \frac{3}{4} A_{1-dB}^2 a_3 \right| \quad (2.6.1)$$

$$A_{1-dB} = \sqrt{0.145 * \left| \frac{a_1}{a_3} \right|} \quad (2.6.2)$$

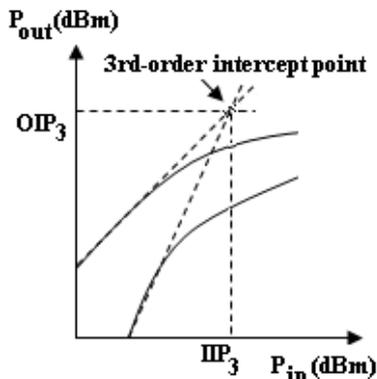
其中



圖十、輸入功率-輸出功率轉換曲線及 1-dB 增益壓縮點[3]

2.7 三階互調截斷點

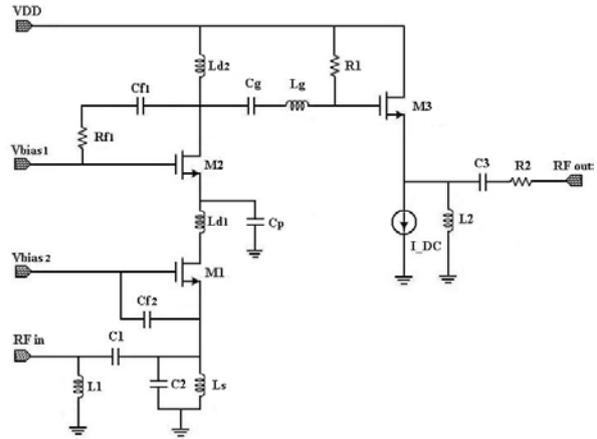
三階互調截斷點(3rd-order intercept point)是整體電路的線性度來表示，以三次諧波對於輸入訊號的影響來決定，若將基頻帶輸入功率對於三次諧波為輸入功率，因此直線延伸出基頻帶和輸出功率成為一個焦點，該點對應至 x 軸被稱為輸入三階交互調變截斷點，另一個對應至 y 軸輸出三階交互調變截斷點，如圖十一所示。



圖十一、三階截斷點圖[3]

2.8 超寬頻低雜訊放大器之設計

本研究利用 TSMC 0.18 μm 製程參數，利用安捷倫 Advanced Design System (ADS) 模擬軟體進行 3.1~10.6 GHz 超寬頻低雜訊放大器模擬之設計。第一部份先了解電路的需求與規格，並且決定電路架構與輸入輸出級的匹配電路，第二部份透過模擬與分析了解電路是否達到其特性之結果，已完成超寬頻低雜訊放大器電路之設計，如圖十二所示。



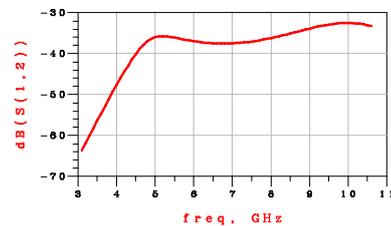
圖十二、電路架構圖

3. 模擬結果

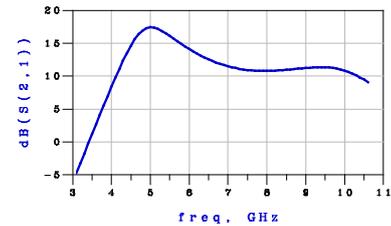
以 Agilent-ADS 模擬軟體與 TSMC 0.18μm CMOS 製程參數以模擬結果，如圖十三~圖二十一所示。



圖十三、S11(輸入返回損耗)



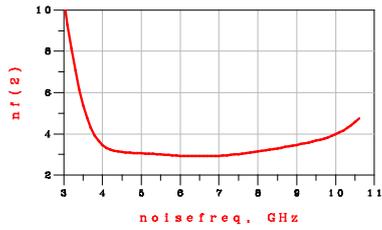
圖十四、S12(隔離度)



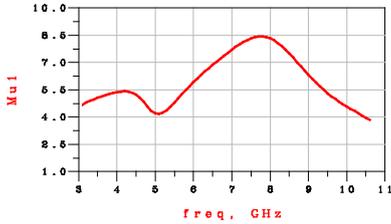
圖十五、S21(功率增益)



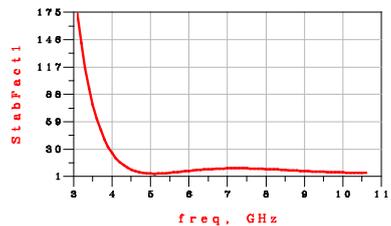
圖十六、S22(輸出返回損耗)



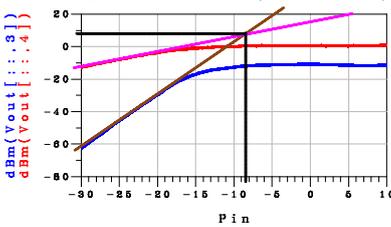
圖十七、Noise Figure(雜訊指數)



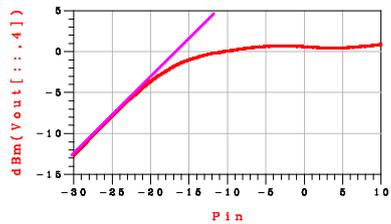
圖十八、Mu1(穩定度>1)



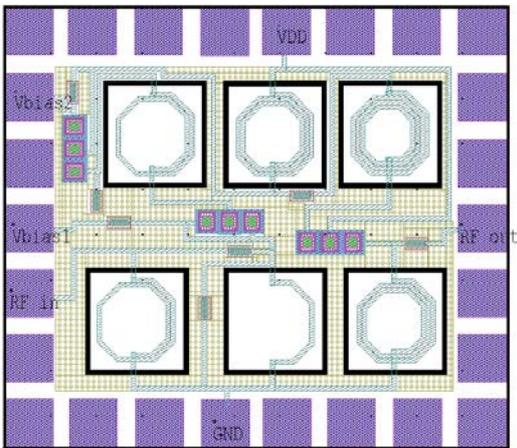
圖十九、Stab Fact1(穩定度>1)



圖二十、IP3 三階截斷點(dBm)



圖二十一、P1dB 增益壓縮點(dBm)



圖二十二、超寬頻電路之佈局圖

4. 結論與討論

本文利用TSMC 0.18 μm CMOS製程參數，本研究以低雜訊放大器之設計電路，設計頻寬帶為3.1~10.6 GHz，提供電壓為1.0 V，經由模擬輸入反射係數(S11)皆低於-10 dB、輸出反射係數(S22)皆低於-13.5 dB、功率增益(S21)範圍為10.124~17.399 dB、反向隔離度(S12)皆低於-33 dB、雜訊指數(NF)介於2.915~4.732 dB、三階截斷點介於8~9 dBm、P1dB增益壓縮點為-2.379 dBm、功率消耗為7.79 mW。

致謝

本論文之所以能順利完成，感謝國家晶片系統設計中心(CIC)對於製程技術與高頻電路模擬軟體(Advanced Design System ,ADS)的提供與支援。

參考文獻

- [1] 林文欣，”超寬頻低雜訊放大器設計”，國立中正大學工學院通訊工程研究所碩士班碩士論文，民國九十八年七月。
- [2] 藍世豪，”用於 3.1-10.6GHz 超寬頻無線接收端低雜訊放大器之設計”，龍華科技大學電子工程研究所碩士班碩士論文，民國九十六年七月。
- [3] 魏崇閔，”應用於 802.11a CMOS 低雜訊放大器設計與實作”，大同大學電機工程研究所碩士班碩士論文，民國九十九年二月。
- [4] 何鴻炎，”3.1-10.6GHz 超寬頻之低雜訊放大器設計”，逢甲大學資訊電機工程碩士在職專班碩士論文，民國九十八年十二月。
- [5] 葉宗軒，”使用電阻性回授架構之超寬頻低雜訊放大器設計”，國立雲林科技大學電子工程碩士班碩士論文，民國九十九年六月。
- [6] Qiuzhen Wan*, Chunhua Wang, ”Design of 3.1 - 10.6 GHz ultra-wideband CMOS low noise amplifier with current reuse technique”, School of Computer and Communication, Hunan University, Changsha 410082, Hunan, PR China.
- [7] Chun-Chieh Chen*, Yen-Chun Wang, ”3.1-10.6 GHz ultra-wideband LNA design using dual-resonant broadband matching technique”, Department of Electronic Engineering, Chung-Yuan Christian University, 200, Chung-Pei Rd., Chung-Li City, Tao-Yuan County 32023, Taiwan