

具錯誤偵測能力之晶片網路資料封包預取裝置

蔡文宗
朝陽科技大學資訊與通訊系
助理教授
azongtsai@cyut.edu.tw

呂柏陞
朝陽科技大學資訊與通訊系
學生
jay604132002@gmail.com

施又郡
朝陽科技大學資訊與通訊系
學生
asd8730873@yahoo.com.tw

摘要

在可預見的未來，傳統系統晶片(System-on-Chip, SoC)內所採用的匯流排(On-Chip Bus)架構，無論在功率消耗、性能要求、以及擴充彈性上，都即將難以滿足多核心(Many-Core)系統晶片內部元件間，因大量通訊所產生的複雜通訊需求。近年來，一種基於封包交換技術而實現的晶片網路(Network-on-Chip, NoC)傳輸架構逐漸地受到各學術界與產業界的高度重視，然而其關鍵技術之一的容錯(Fault Tolerance)機制卻仍未臻成熟。本文提出一具錯誤偵測能力之資料封包預取裝置，並用以提升晶片網路的傳輸效能。

關鍵詞：系統晶片；多核心；晶片網路；循環冗餘檢查碼；封包預取。

Abstract

In the coming future, power consumption, performance requirement, and extension flexibility of a conventional on-chip bus-based System-on-Chip, cannot satisfy diverse communication requirements in the next-generation of deep submicron chip designs. Recently, packet-switching based Network-on-Chip (NoC) is a promising on-chip communication infrastructure for both academic and industry. However, the fault-tolerance related mechanisms have not been thoroughly studied. Therefore, in this paper, we propose a data packet pre-cached mechanism with fault-diagnostic ability to enhance the communication performance of our designed NoC system.

Keywords: System on Chip; Many Core; Network on Chip; Cyclic Redundancy Check; Packet Pre-Cached.

1. 前言

隨著積體電路(IC)製程的快速演進，在相同的單位晶圓面積下，電晶體密度急遽地增加。相較於以往的產品，系統晶片(System-on-Chip)能夠整合更多樣的元件與更複雜的設計，以提供更豐富的功能與更強大的效能。面對此一高度集成之設計趨勢，晶片內元件間的連接架構也同時面臨著在軟硬體設計上更嚴苛的挑戰。

因積體電路製程的持續微縮，如深次微米(Deep Sub-Micron)技術的發展，在不久的未來，晶片內部的通訊系統，正如同電腦或通訊網路一般，無可避免地會遭受到各種錯誤的干擾。通道傳輸功能的喪失，原因可能為因為電子遷移(Electronic Migration)造成金屬連線的永久斷裂，或是軟性錯誤(Soft Error)對於記憶元件所產生的暫時性影響。其錯誤發生的時間可能是在系統開機後以靜態的方式呈現，也可能是在系統運作時動態地發生。如果通訊機制沒有支援相對應的容錯機制，則任何錯誤的發生，對於整個系統而言，即可能地會導致一連串運作上的嚴重性失效(Fatal Failure)。針對傳統容錯機制在效能上的不足之處，本文提出一具錯誤偵測能力之資料封包預取裝置，並用以提升傳統晶片網路的傳輸效能。

2. 背景

本章節說明傳統處理傳輸通道功能失效的方法與我們所採用的晶片網路架構如下：

2.1 路由，拓撲，與死結現象

當網路偵測到某一傳輸通道發生功能障礙時，改變路由路徑是最常見的容錯機制。然而以路由為基礎所提出的方法面臨著兩個困難需要去克服。其一是可以替代的路徑並不存在，這問題通常存在於不具有迴路的網路拓撲(Topology)上，如圖 1(甲)所示樹狀拓撲；其二是新增的繞行路徑，在具有迴路的網路拓撲

上，如圖 1 (乙)所示網狀拓撲，則可能會引發如圖 1(丙)所示的死結(Deadlock)問題，其為互相等待對方釋放資源所造成資料傳輸永遠被延遲的現象。此類支援錯誤容忍能力的路由方法，其發展的困難或未及之處在於是否能夠容忍各種不同的錯誤通道分布，與是否能對錯誤的發生，動態地做出即時性的處置。

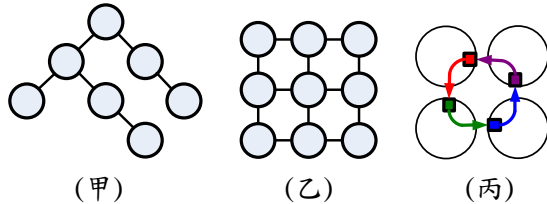


圖 1 (甲)樹狀拓撲，(乙)網狀拓撲，與(丙)死結現象

2.2 具雙向傳輸通道的晶片網路架構

近年來一種具雙向傳輸通道的晶片網路架構已經被提出，並應用在傳輸效能提升的相關議題上 [1][2][3]。如圖 2 所示，這裡所提出的雙向傳輸通道是指一種具有半雙工(Half-Duplex)資料傳輸能力的訊號鏈結(Signal Data-Link)。

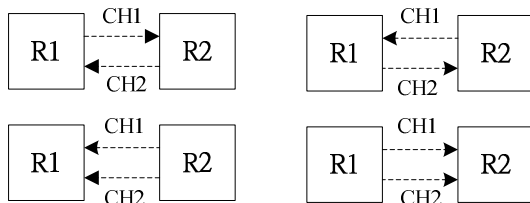


圖 2 雙向傳輸通道允許動態調整傳輸方向

在傳統晶片網路內，兩個傳輸端點間配置一對單向傳輸通道並各自作為傳送(TX)與接收(RX)資料之用。在此架構之上如果其中之一的通道發生功能失效，如圖 3(甲)所示，則必導致該方向上的資料傳輸完全停止。然而在配備具有雙向傳輸通道的晶片網路上，則該對傳輸通道中功能完整者即可替代功能失效者執行其資料傳輸之工作，如圖 3 (乙) 所示。雖然通道頻寬只有原來的一半，但卻可以保持原本資料傳送的功能性。我們稱此運用雙向傳輸通道處理通道功能失效問題的機制為具雙向傳輸通道之容錯晶片網路(BFT_NoC) [4]。

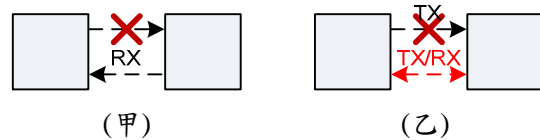


圖 3 (甲)單向傳輸通道與(乙)雙向傳輸通道對錯誤狀況處理之差異

2.3 循環冗餘檢查碼

在算術計算上，資料信息可以多項式的形式表示，例如：信息 10100101 以多項式形式代表為 $x^7+x^5+x^2+1$ 。CRC 碼 (Cyclic Redundancy Check Code；循環冗餘檢查碼)即是基於多項式算術運算的錯誤偵測方法，簡單的說就是將兩個多項式相除後取其餘數即為 CRC 碼。圖 4 舉了一個多項式長除法為例，其中多項式 $x^7+x^6+x^5+x^2+x$ 被除以多項式 x^3+x+1 並得餘數多項式(即 CRC 碼) x^2+1 。

$$\begin{array}{r}
 x^4+x^3+1 \\
 x^3+x+1 \overline{) x^7+x^6+x^5+x^2+x} \\
 \underline{x^7+x^5+x^4} \\
 x^6+x^4 \\
 \underline{x^6+x^4+x^3} \\
 x^3+x^2+x \\
 \underline{x^3+x+1} \\
 x^2+1
 \end{array}$$

圖 4 多項式與長除法

2.4 資料錯誤偵測機制

基於 CRC 碼的傳輸協議，生成多項式 (Generator Polynomials)或稱為鑰匙(Key)為一預設值(如圖 4 中的除數多項式 x^3+x+1)並為發送端與接收端所已預先得知。常用的生成多項式如表 1 所列：

表 2 常用 CRC 生成多項式

名稱	生成多項式
CRC-12	$x^{12}+x^{11}+x^3+x^2+x+1$
CRC-16	$x^{16}+x^{15}+x^2+1$
CRC-32	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$

發送端所發送的資料信息是原始資料(如圖 4 中的被除數多項式 $x^7+x^6+x^5+x^2+x$)加上此筆資料的 CRC 碼(如圖 4 中的餘數多項式 x^2+1)。在資料正確傳輸的前提下,接收端會收到發送端所發送的資料信息(如圖 4 中的被除數多項式 $x^7+x^6+x^5+x^2+x$)與 CRC 碼(如圖 4 中的餘數多項式 x^2+1),接收端使用與發送端相同之生成多項式(如圖 4 中的除數多項式 x^3+x+1),經計算(如圖 4 之過程)得到本地端之 CRC 碼後,比較其與接收自發送端之 CRC 碼之值,兩者必會相同。相反地,若資料傳輸錯誤(例如訊號傳輸過程遭受到信號干擾),則本地端計算之 CRC 碼與接收自發送端之 CRC 碼之值即會相異。

3. 方法與架構

本章節說明我們所提出適用於晶片網路架構,並具錯誤偵測能力之資料封包預取裝置。

3.1 資料錯誤偵測機制

為達成錯誤偵測的能力,我們在傳輸通道上配置訊號編碼器(Encoder)與解碼器(Decoder)如圖 5,在使用如循環冗餘檢查碼,簡稱 CRC 碼的技術下,其編碼與解碼的核心電路是相同的。因為在半雙工的雙向傳輸通道應用上(如圖 2,在發送端或接收端,編碼與解碼的操作並不會同時發生。因此相對於編碼器與解碼器在傳統單向傳輸通道上的使用,在雙向傳輸通道上的應用並不會造成額外的成本。

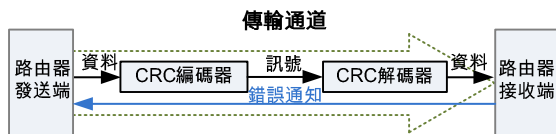


圖 5 傳輸通道與其錯誤偵測機制

3.2 傳統資料封包錯誤偵測與轉送機制

為避免將錯誤的資料封包(如圖 6 之封包 D)往下一級路由器傳送,傳統的路由器總是在檢查 CRC 碼(如圖 6 之封包 C)為正確後,才開始往下一級路由器傳送封包資料,並同時通知上一級路由器刪除已正確傳送之資料封包(如圖 6 所示)。依此方法,無可避免地,每一級路由器在轉送資料封包的過程中,必定會產生一段正比於封包長度的傳輸延遲時間。

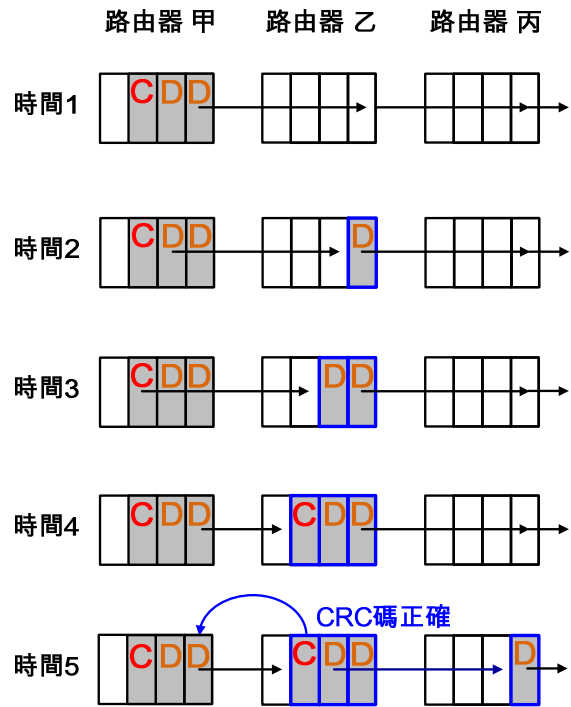


圖 6 傳統路由器資料封包傳遞流程

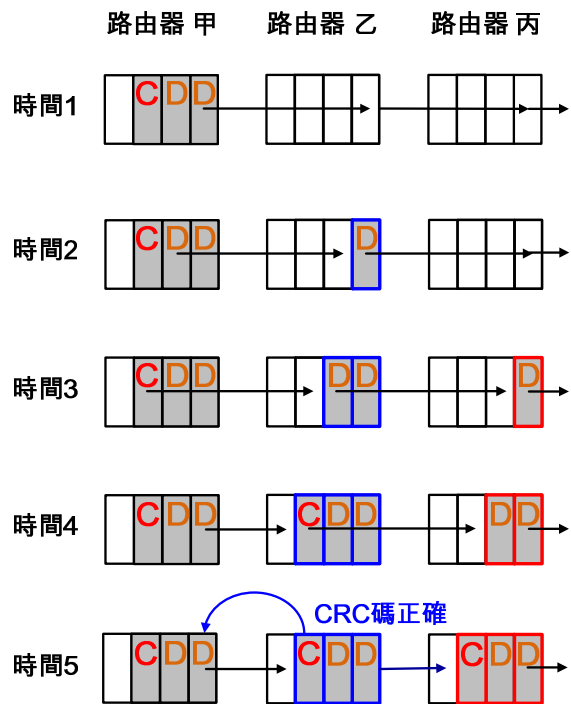


圖 7 具預取能力之路由器資料封包傳遞流程

3.3 具預取能力之錯誤偵測與轉送機制

為改善傳統資料封包錯誤偵測與轉送機制在傳輸效能上的缺點,我們提出了一具預取能力之資料封包錯誤偵測與轉送機制。如圖 7 所示,本裝置在檢查資料封包正確與否的同時,

持續將資料封包，往下一級路由器傳送。和圖 6 比較，若在時間 5 CRC 碼檢查正確，我們所提出的方法比傳統的方法快了兩個單位時間。

然其設計關鍵在於當資料檢查錯誤時，我們所提出的方法除了需要通知上一級路由器重送資料封包之外，也必須通知下一級路由器刪除損毀之封包(如圖 8)。和圖 6 比較，若在時間 5 為 CRC 碼檢查錯誤，我們所提出的方法和傳統的方法在傳輸效能上是一致的。

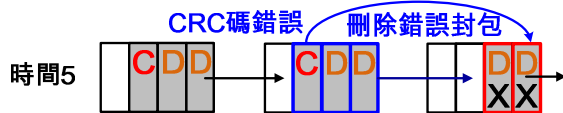
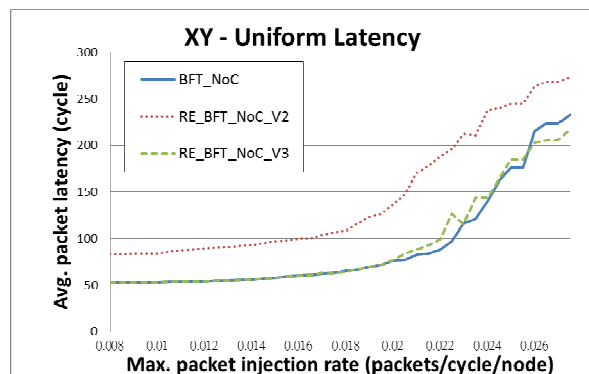


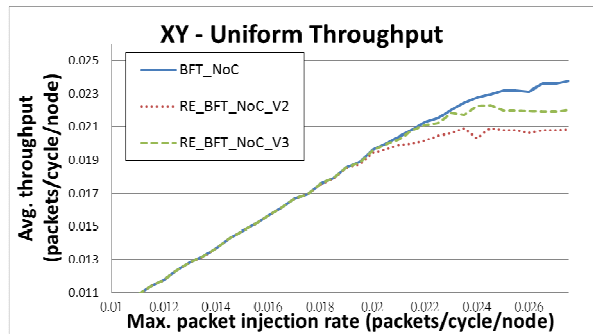
圖 8 CRC 碼檢查錯誤時之處置

4. 模擬結果

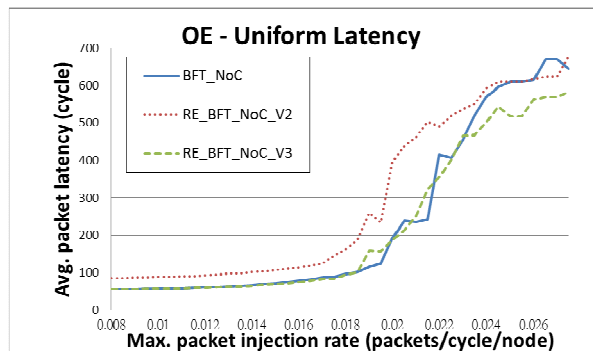
理想的晶片網路容錯機制，合理的效能損耗亦是值得關注的設計議題，因此我們使用 XY [5] 和 Odd-Even [6] 路由演算法，並在 8x8 網狀網路上模擬出雙向容錯 NoC (BFT_NoC)，雙向容錯+傳統資料封包錯誤偵測與轉送機制 NoC (RE_FT_NoC_V2)，與雙向容錯+具資料封包預取能力+錯誤偵測與轉送機制 NoC (RE_FT_NoC_V3)。由圖 9 得知，BFT_NoC 因無支援資料封包錯誤偵測與轉送機制(僅支援雙向傳輸通道容錯能力如圖 3)，因此其效能所有狀況下皆為最佳。相較於傳統資料封包錯誤偵測與轉送機制，我們所提出的方法(在提供相同封包錯誤偵測處理能力上)在使用 XY [5] 路由演算法的狀況下，分別在傳輸延遲(Latency; 圖 9(甲))與流量(Throughput; 圖 9(乙))上約有 40% 與 8% 的效能提升。在使用 Odd-Even [6] 路由演算法的狀況下，分別在傳輸延遲(Latency; 圖 9(丙))與流量(Throughput; 圖 9(丁))上約有 30% 與 5% 的效能提升。



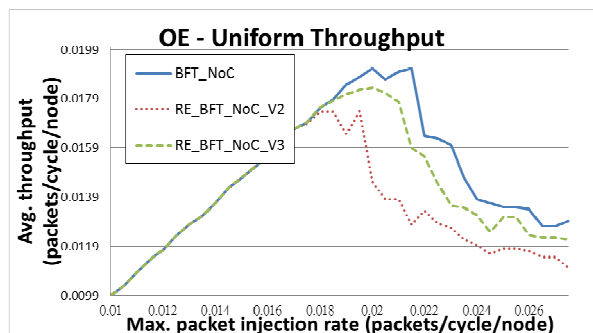
(甲)



(乙)



(丙)



(丁)

圖 9 效能分析曲線圖

5. 結論

目前晶片網路上的容錯機制大都是在網路層藉由改變路由路徑的基礎所提出的方法。利用雙向傳輸通道的運作特性，實現在資料鏈結層上提供與傳統網路層路由方法相似的容錯能力。因為可避免改變路由所可能衍生的死結問題，本文在此基礎上，針對傳統容錯機制在資料封包轉送效能上的不足之處，進一步提出一具錯誤偵測能力之資料封包預取裝置以提升晶片網路的傳輸效能。實驗結果顯示，我們所提出的方法無論是在使用彈性與傳輸效能上皆具有相對性的優勢。如此一個兼顧容錯能力與傳輸效能的資料鏈結層機制便得以實現。

感謝

本文由 National Science Council, ROC, grants NSC-102-2218-E-324-001 計畫支持。

參考文獻

- [1] Y. C. Lan, H. A. Lin, S. H. Lo, Y. H. Hu, and S. J. Chen, "BiNoC: A Bidirectional NoC Architecture with Dynamic Self-Reconfigurable Channel," in Proceedings of *IEEE/ACM International Symposium on Network-on-Chip*, pp. 266-275, May, 2009.
- [2] S. H. Lo, Y. C. Lan, H. H. Yeh, W. C. Tsai, Y. H. Hu, and S. J. Chen, "QoS Aware BiNoC Architecture," in Proceedings of *IEEE/ACM International Parallel & Distributed Processing Symposium*, pp. 1-10, April, 2010.
- [3] Y. C. Lan, H. A. Lin, S. H. Lo, Y. H. Hu, and S. J. Chen, "A Bidirectional NoC (BiNoC) Architecture with Dynamic Self-Reconfigurable Channel," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, no. 3, pp. 427-440, March, 2011.
- [4] W. C. Tsai, D. Y. Zheng, S. J. Chen, and Y. H. Hu, "A Fault-Tolerant NoC Scheme Using Bidirectional Channel," in Proceedings of *ACM/IEEE Design Automation Conference*, pp. 918-923, June, 2011.
- [5] Intel Corporation, *A Touchstone DELTA System Description*, 1991.
- [6] G.M. Chiu, "The Odd-Even Turn Model for Adaptive Routing," *IEEE Trans. Parallel and Distributed Systems*, Vol. 11, No. 7, pp. 729-738, July 2000.