

一種具有消除固定圖像雜訊能力之電容式指紋辨識晶片設計

黃德成

國立中興大學

資訊科學與工程學系

huangdc@cs.nchu.edu.tw

朱盈宜

國立中興大學

資訊科學與工程學系

phd9702@cs.nchu.edu.tw

摘要

在電容式指紋感測器中，指紋感測器每個像素單元(pixel cell)是呈現陣列的方式重複排列，不過受到製程的影響，每個像素單元臨界電壓仍會有些許的不同，這將會影響擷取指紋之清晰度。因此本文針對電容式指紋感測器，提出消除固定圖像雜訊的產生(fixed-pattern noise, FPN)之電路，並利用 TSMC 0.35um 2p4m mixed mode 製程完成電路模擬，實驗結果證明我們所提出電路能有效消除 FPN 之產生。

關鍵詞：固定圖像雜訊、電容式指紋辨識晶片、感測電路、增益放大器

Abstract

For a capacitive fingerprint sensor, every pixel cell will be located around the whole sensor chip with a regular placement. However, the threshold voltage (V_t) might be different for each transistor with respect to the variation of process technology. This result will dominate the signal clarity of fingerprint output for a capacitive fingerprint sensor. In this paper, we proposed the method with a fixed-pattern noise (FPN) reduction for a capacitive fingerprint sensor. The all experiments are exploited by using the TSMC 0.35um 2p4m mixed-mode CMOS process technology. The simulation results show that our proposed design will reduce the FPN effectively.

Keywords: Fixed-pattern noise, Capacitive fingerprint chip, Sense circuit, Gain amplifier

1. Introduction

指紋感測器種類有光學式、壓力式、超音波、溫度式與電容式感測等等。傳統指紋辨識系統是以光學式感測為主，一發光源照射手指紋路並經過聚焦透鏡，將光束集中在 CMOS 晶片上再進行後端處理。然而長期使用會有聚焦

偏移情形出現，且其系統零件佔用了相當大的體積，目前仍無法內建在筆記型電腦和 PDA 內。因此之後的研究皆發展可以直接感應手指紋路的辨識器為主，其利用手指表面凸起紋(ridge)與凹陷紋(valley)之深淺紋路來建立整體指紋影像。壓力式感測則需要使用特殊製程，因此無法節省成本。超音波式感測使用回波掃描技術(echography)來感測指紋，此類裝置優點為即使是沾污的手指紋路，亦能擷取到很好的指紋影像，而其缺點為尺寸過大且昂貴，除此之外，其擷取時間需數秒，因此不普及。電容式感測採用 CMOS 製程，可以整合相關週邊電路，因此可以縮小晶片，有效的降低成本。探討過往文獻，為了解決固定圖像雜訊(fixed-pattern noise, FPN)，使用了不少元件來設計，所以我們擬用最少元件來設計可消除 FPN [1]之電容式指紋晶片。

本篇主要探討 CMOS 電容式指紋辨識電路，並試著消除 FPN，以提升指紋擷取後影像的清晰度，FPN 是由製程不確定性所產生，因為要擷取指紋影像是使用二維陣列讀取方式，而讀取陣列中並非每個像素單元(pixel cell)的元件特性皆一致，造成每個電晶體特性些許變異(variation)，所以對輸出結果會有影響。一般電路通常都使用二次取樣電路(correlated double sampling, CDS)來消除 FPN，由於 CDS 方式必須用兩次讀取的方式得到感測前後不同的訊號，所以後段必須再設計相減電路以得到原始的感測訊號，如此耗費太多元件，我們擬使用一感測電路，將製程變異相互消滅，提高輸出指紋影像的準確性，這樣的設計有最簡單的電路卻可達到 CDS 的成效。

2. Related Work

我們彙整電容式指紋感測器電路相關文獻 [2]-[6]，並個別作電路架構之分析。然而，我們所提出的電路架構是基於 Case I [5]之單增益緩衝器作面積縮減，並保留 Case II [6]可有效消除 FPN 的特性作效能提升，接下來我們將

分別探討 Case I 及 Case II 指紋辨識晶片設計之電路架構，針對操作原理作剖析。Case I 利用簡單的感測開關及單增益緩衝器完成電容式指紋感測器電路設計，Case II 則使用三級電路構成可有效去除 FPN 雜訊，但 Case I 之單增益放大器之設計佔用整體電路架構多數面積，指紋擷取後的解析度將因此而受限，而 Case II 需要使用較多元件才能消除 FPN 雜訊，此為設計上之瓶頸。

2.1 Case I [5]

圖 1 為感測讀取架構，利用開關將所感測到的指紋電荷分享，並傳送至單增益緩衝器來做輸出，如此可以將感測出來的訊號完整的傳送到輸出，但因單增益緩衝器使用較多電晶體，如圖 2 所示，導致 dpi 無法再提升。因此會增加每個像素單元佈局面積，如此要朝著比 500dpi (dot per inch) [7] 更高解析度發展便比較困難。

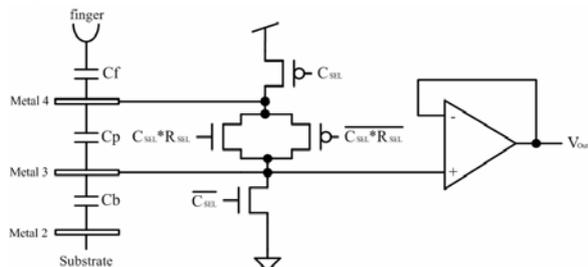


圖 1 感測讀取架構

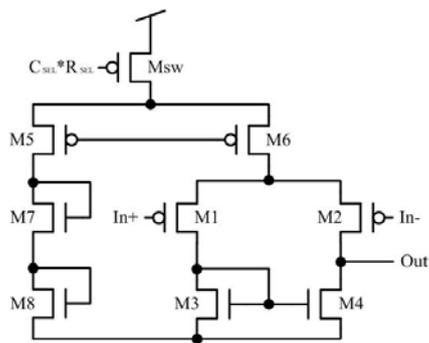


圖 2 單增益緩衝器

2.2 Case II [6]

提到擷取指紋就不免與影像搭上關係，FPN 是影響輸出影像品質最大的一個雜訊，因此該如何減低其效應是必須的，FPN 定義為在均勻的輸入訊號下各個像素輸出值的變異，FPN 的主要原因是像素內部元件之臨界電壓 (threshold voltage, V_{th}) 所造成。

從圖 3 可看出消除 FPN 指紋辨識電路由像素電路、CDS 電路及輸出級電路構成。首先像

素電路部份如之前所介紹，在感測到指紋電容後為避免訊號衰減，經過 M5 源極增益電路將訊號送出像素外，接著由 Sample & Hold 電路將電容感測訊號分別存於 C_s 與 C_r 內，再經第二次 PMOS 源極增益後，將訊號送往相減電路做消除雜訊動作，所得訊號儲存於電容 C_{cds} 內，再經最後一級 NMOS 源極增益輸出，雖然去除了 FPN 雜訊，但是因為經過三級電路，導致輸出擺幅變小。

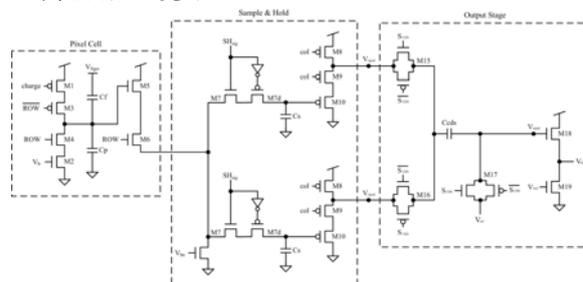


圖 3 消除 FPN 指紋辨識電路

3. The New Capacitive Fingerprint Chip Design

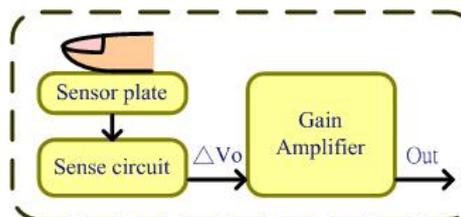


圖 4 單一像素電路架構

圖 4 為單一像素電路架構，首先，將手指放置於感測板 (sensor plate)，藉由電容感測電路 (sense circuit) 將不同的指紋電容讀出並產生 ΔV_o ，再將感測出來的訊號傳遞至增益放大器 (gain amplifier)，使感測到的指紋訊號不至於受雜訊干擾而衰減，同時也能消除因製程變異所造成的 FPN，以確保所擷取的指紋影像正確性。

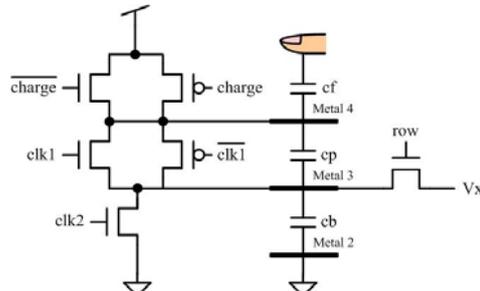


圖 5 感測電路

我們使用 Metal 4 做為手指接觸的感測極板，感測板與手指指紋產生感應電容 c_f ，Metal 4 與 Metal 3 之間產生寄生電容為 c_p ，Metal 3 與 Metal 2 之間產生電容為 c_b ，而電路感測之

後訊號經過開關 row 所傳出訊號為 V_x ，感測電路如圖 5 所示，我們改良圖 1 [5]之感測部份，避免供應電壓(Vdd)傳送至感測電容會有弱信號(weak signal)產生，導致電壓衰減。

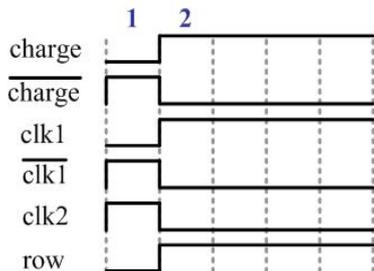


圖 6 感測電路時序圖

如圖 6 為感測電路時序圖，當感測電路動作進入 clock 1，Vdd 對感應電容 c_f 充電， $Q_f = c_f \cdot V_{dd}$ ，電容 c_b 兩端接地電壓差為零，輸出控制信號 row 為低電位(low)因此電晶體關閉，輸出電壓 V_x 無訊號輸出。當感測電路動作進入 clock 2，Vdd 不再對感應電容 c_f 充電，充滿電荷的電容 c_f 將電荷 Q_f 與電容 c_b 均勻分享，輸出控制信號 row 為高電位(high)因此電晶體導通，輸出電壓 V_x [5]:

$$V_x = \frac{c_f \cdot V_{dd}}{c_f + c_b} \quad (1)$$

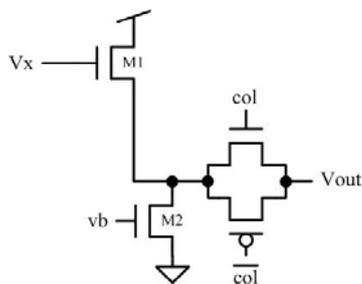


圖 7 增益放大器

感測電路擷取到指紋的電容訊號後，為避免訊號衰減，必須再透過增益放大器將訊號送出，我們使用影像感測器(CMOS image sensor, CIS) [8]方式，用源極隨耦器(source follow) [9]做為增益放大，其增益大小幾近於 1，也可做為緩衝輸出裝置。源極隨耦器具有高輸入阻抗和低輸出阻抗特性，但臨界電壓 V_{th} 對源極電壓所造成非線性之特性，這對源極隨耦器做增益輸出時，會因為 V_{th} 效應導致與原始訊號值不一致，而偵測一個完整指紋需要數十個 pixel cell 陣列，每個 pixel cell 內部的(V_{th})又會因晶片製作時產生製程漂移(process variation)，造成每個 cell 的 V_{th} 不盡相同，因此最後所擷取到的指紋圖像將產生 FPN，所以必再做額外電

路補償抵消每個 cell 內部製程變異。圖 7 為增益放大器，用 M2 當成電流源，因 V_{th} 效應當訊號 V_x 經過 M1 後輸出電壓 $V_{out} = V_x - V_{th}$ ，這將造成電壓增益不為 1，將此增益放大器做成陣列後，此效應將會造成 FPN。

欲消除圖定圖像雜訊必須將 V_{th} 去除，因此我們提出一補償電路如圖 8 所示，利用兩顆 MOS 開關 M3 及 M4 和一顆電容 c_s 來消除 FPN 效應，我們將源極隨耦器 M1 的 V_{th} 值儲存在電容內，如圖 9 為改良式增益放大器時序圖。

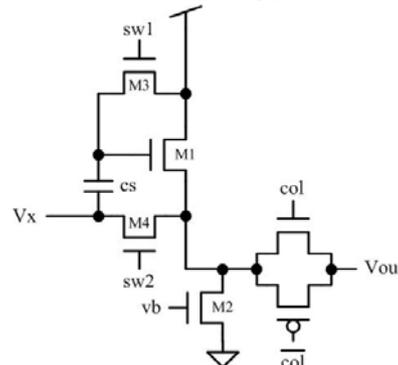


圖 8 改良式增益放大器

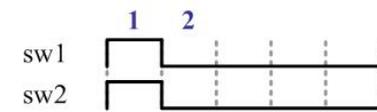


圖 9 改良式增益放大器時序圖

當增益放大器分別進入週期 clock 1 或 clock 2 動作，電路動作原理如下:

$$\begin{aligned} V_{out} &= V_{dd} - V_{th1} \\ V_{cs} &= V_{dd} - V_{out} \\ &= V_{dd} - (V_{dd} - V_{th1}) \\ &= V_{th1} \end{aligned} \quad (2)$$

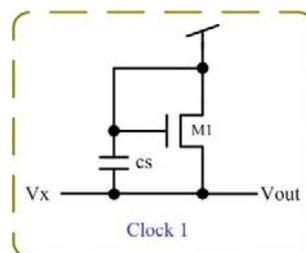


圖 10 改良式增益放大器-clock 1

圖 10 為 clock 1 週期內的電路工作原理，當增益放大器進入 clock 1 週期內，CMOS 電晶體開關 sw1 和 sw2 導通，Vdd 對電容 c_s 充電，輸出電壓 V_{out} 及電容 c_s 電壓如式(2)，由式(2)得知 M1 之 V_{th} 值會儲存於電容 c_s 。

當增益放大器進入 clock 2 週期時，圖 11 為 Clock 2 的電路工作原理，CMOS 電晶體開

關 sw1 和 sw2 關閉，電容 cs 儲存 clock 1 之 Vth 值，輸出電壓 Vout 如式(3)，M1 的 Vth 值將會被電容 cs 所儲存的 Vth 值抵消，因此輸出電壓 Vout 等於輸入電壓 Vx，如此，我們可以有效的消除 FPN 對電路所造成的影響。

$$\begin{aligned} V_{out} &= V_x - (-V_{cs}) - V_{th1} \\ &= V_x - (-V_{th1}) - V_{th1} \quad (3) \\ &= V_x \end{aligned}$$

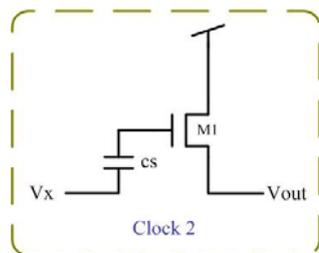


圖 11 改良式增益放大器-clock 2

圖 12 為單一像素電路圖，包含感測電路及增益放大器，我們在電路輸出部分使用傳輸閘 (transmission gate, TG) 可增加輸出電壓動態範圍，因此關係，我們具有較清晰的指紋影像。另外，我們估算並比較 Case I 及 Case II 之電容式之電晶體數，從表 1 可以很清楚地察知我們所提出的單一像素電路佔用較少的電晶體數，並和 Case I 及 Case II 比較減少 7.69% 至 52% 的電晶體數。

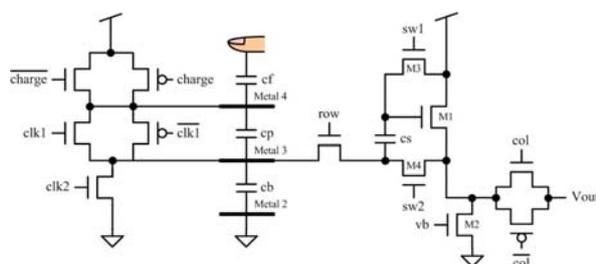


圖 12 單一像素電路圖

表 1 比較單一像素之電晶體數

	Case I	Case II	Our proposed
電晶體數	13	25	12

4. Experiment Result

一般電容式感測電路面積大小為 $50 \times 50 \mu\text{m}^2$ 時，解析度為 500dpi [7]，即可符合一般指紋辨識需求，圖 13 為我們所提出的單一像素佈局圖，面積為 $22.2 \times 25.95 \mu\text{m}^2$ 。假定單一晶片製作面積為 $15000 \times 15000 \mu\text{m}^2$ ，這面積大至

上足以擷取一枚指紋影像，所以依據 300×300 陣列，我們所設計之單一像素面積小於 $50 \mu\text{m}$ ，因此影像解析度可達 500dpi 以上。

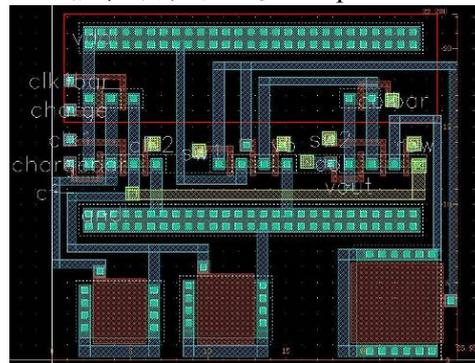


圖 13 單一像素佈局圖

我們使用 TSMC 0.35um 2p4m mixed mode 製程，供應電壓(supply voltage)為 3.3V，工作時脈為 1MHz，讀取感測電容值(cf)從 0fF 至 150fF [5]，接下來針對指紋表面紋脊及紋谷所感測之 cf 電容做偵測，每次遞增 10fF 並量測電路佈局前/後輸出電壓 Vout，其佈局前輸出電壓範圍為 2V 至 3.24V (例: 60.61%至 98.18%)，圖 14 為佈局前輸出信號 Vout 之波形圖，而佈局後輸出電壓範圍為 2.03V 至 3.07V (例: 61.52%至 93.03%)，圖 15 則為輸出信號 Vout 的波形圖，因此在指紋電路設計上已經足夠分辨出紋脊與紋谷之變化。圖 16 為單一像素佈局前/後模擬比較，因為電路會受佈局後萃取寄生電阻與電容的影響，電壓輸出動態範圍會比佈局前模擬略小，由於佈局後變動的電壓很小，並不會對指紋擷取之清晰度造成影響。

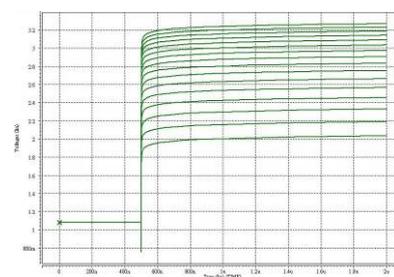


圖 14 單一像素佈局前模擬

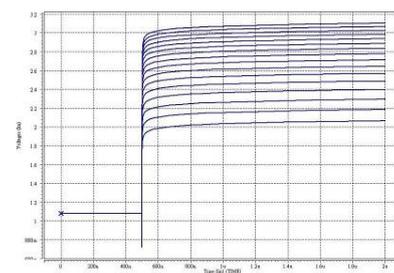


圖 15 單一像素佈局後模擬

另外，我們比較單一像素之輸出電壓動態範圍並和 Case I 及 Case II 作比較如表 2，Case I 輸出電壓範圍為 16%至 70%，Case II 輸出電壓範圍為 60.61%至 75.76%，而我們輸出電壓範圍為 61.52%至 93.03%。雖然我們提出的單一像素電路之電壓動態範圍比 Case I 小，但我們的供應電壓僅有 3.3V，因此我們所設計之電路較可行於現今可攜式電子產品。

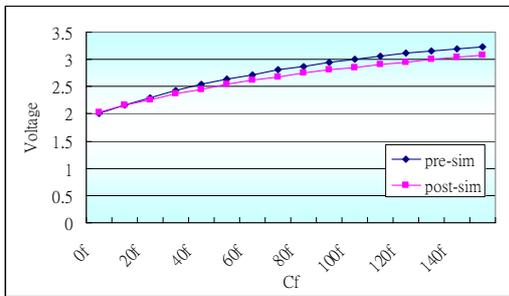


圖 16 單一像素佈局前/後模擬比較

表 2 比較單一像素之輸出電壓範圍

	供應電壓	輸出電壓範圍
Case I	5V	0.8V~3.5V
Case II	3.3V	2V~2.5V
Our proposed	3.3V	2.03V~3.07V

由於製程變異造成電晶體臨界電壓不同，因此對電路會造成影響，我們利用 HSPICE 進行蒙地卡羅(monte carlo)分析，設定電晶體之 V_{th} 為 0.7V，PMOS 及 NMOS 的臨界電壓相對變異量分別為 30%，並從中取樣 30 個隨機數值，比較臨界電壓對佈局前/後輸出電壓所造成的影響，NMOS、PMOS 之臨界電壓變異及佈局前/後模擬結果如圖 17 所示，當 NMOS 臨界電壓上升至 0.84V 時，佈局前的輸出電壓 V_{out} 會降到 2.46V，佈局後的輸出電壓 V_{out} 會降到 1.48V。因此，我們得知 NMOS、PMOS 之臨界電壓變動會對電路的輸出電壓 V_{out} 造成影響，這將影響指紋擷取後之清晰度。

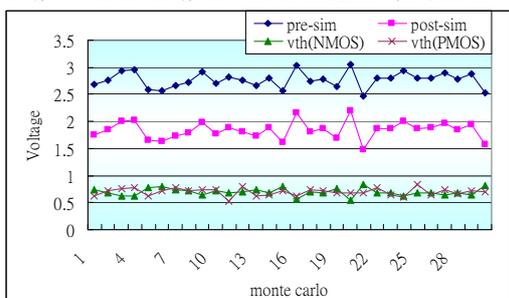


圖 17 蒙地卡羅分析電晶體臨界電壓相對變異

由於 chip out 後供應電壓可能會不穩定造成電壓不是一固定的值，我們利用 HSPICE 進行蒙地卡羅分析，設定電路之 V_{dd} 為 3.3V，相對變異量為 30%，並從中取樣 30 個隨機數值，比較供應電壓對佈局前/後之輸出電壓所造成的影響， V_{dd} 電壓變異及佈局前/後模擬結果如圖 18 所示，當 V_{dd} 電壓為 2.52V，佈局前及佈局後電壓也皆降至 2.52V。因此，我們發現電路的輸出電壓 V_{out} 會隨著 V_{dd} 電壓而改變。

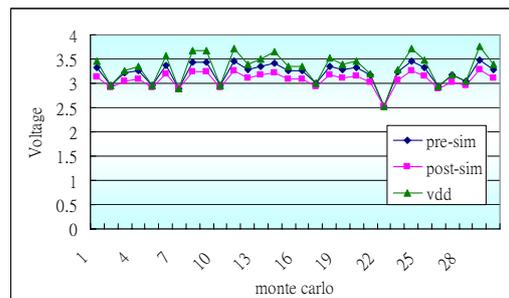


圖 18 蒙地卡羅分析供應電壓相對變異

5. Conclusion

我們設計一具有消除固定圖像能力之電容式指紋電路，使用 TSMC 0.35um 2p4m mixed mode 製程，供應電壓為 3.3V，工作時脈為 1MHz，讀取感測電容值(cf)從 0fF 至 150fF [5]，佈局後輸出電壓範圍為 61.52%至 93.03%。因此，由佈局後模擬結果證實我們所設計電路能解決指紋影像擷取後所產生的固定圖像雜訊(fixed-pattern noise, FPN)，將製程變異相互消除，以提升指紋擷取後之清晰度。由實驗結果得知我們所提出的電容式指紋電路是有效且實用的設計，並使用最少電晶體元件完成電容式指紋電路設計。

References

- [1] A. El. Gamal, "Image Sensors and Digital Cameras," Stanford University, 2001.
- [2] N. Young, G. Harkin, R. Bunn, D. McCulloch, R. Wilks, and A. Knapp, "Novel Fingerprint Scanning Arrays Using Polysilicon TFT's on Glass and Polymer Substrates," IEEE Electron Device Lett., vol. 18, pp. 19-20, Jan. 1997.
- [3] Jeong-Woo Lee, Dong-Jin Min, Jiyouon Kim; Wonchan Kim, "A 600-dpi capacitive fingerprint sensor chip and image-synthesis technique," IEEE Journal of Solid-State Circuits, vol. 34, Issue 4, pp.469-475, April 1999.

- [4] Yu-Sheng Tiao, Meng-Lieh Sheu, Shi-Min Wu, Hong-Ming Yang, "A CMOS Readout Circuit for LTPS-TFT Capacitive Fingerprint Sensor," IEEE Conference on Electron Devices and Solid-State Circuits, pp.631-634, 19-21 Dec 2005.
- [5] Meng-Lieh Sheu, Chih-Kuan Lai, Wei-Hung Hsu, Hong-Ming Yang, "A Novel Capacitive Sensing Scheme for Fingerprint Acquisition," IEEE Conference on Electron Devices and Solid-State Circuits, pp. 627-630, 19-21 Dec. 2005.
- [6] 范聖武, "電容式指紋晶片之研究與設計," 國立交通大學, 碩士論文, 民國 92 年.
- [7] C. Inglis, et al, "A robust, 1.8 V 250 μ W direct-contact 500 dpi fingerprint sensor," IEEE International Solid-State Circuits Conference, pp. 284-285, 5-7 Feb. 1998.
- [8] 邵文彬, "具新型曝光時間調適控制機制之大動態範圍互補式金氧半影像感測器," 國立中正大學, 碩士論文, 民國 90 年.
- [9] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, 2001.