

考量雜訊的 MTCMOS 電路功率優化方法

許思傑 許堅致 林浩仁

大葉大學資訊工程學系

{R9606017, R9506026, hrlin}@mail.dyu.edu.tw

摘要

漏電流與耦合雜訊是目前奈米世代積體電路設計的重要課題，對於漏電流的處理，由於 Multiple Threshold Voltages CMOS(MTCMOS)製程技術不會增加電路設計的複雜度，是近年來相當受到重視的方法。

本篇論文同時考量上述兩個課題，提出加入 noise immunity 的觀點，由於 low-Vth 元件的雜訊免疫力比 high-Vth 元件差，在佈局中雜訊較敏感區域中的元件，應該盡量以 high-Vth 的 MOS 元件實現以提高電路的強健性與可靠性。但是若這些元件也是在關鍵路徑上，則會與前述效能的原則而採用 L-VT 樣式互相抵觸。基於前述的觀察與發現，本論文提出：在關鍵路徑上且耦合雜訊嚴重區域的邏輯元件，應該採用 H-VT 樣式，而非 L-VT 樣式，以避免較嚴重的耦合雜訊造成邏輯元件的功能錯誤。以前述的觀點為核心，本論文提出考量雜訊的 MTCMOS 電路元件 V-TH(Voltage Threshold)值選擇演算法。以 ISCAS89 測試電路進行實驗，在不增加電路時間延遲的限制下，本論文所設計的演算法平均可降低 52.43%雜訊敏感元件數。

關鍵詞：低功率設計、漏電流、MTCMOS、耦合雜訊干擾

Abstract

Subthreshold leakage current and crosstalk noise are two important issues of integrated circuits in nanometer technology node. MTCMOS (Multi-Threshold CMOS) is a technology that allows the devices in a circuit to be with different threshold voltages (VTH). It is an effective way to achieve high performance and low power goal by adequately assigning the threshold voltage of each device in a circuit.

In this paper, we take the above mentioned two issues into consideration. With considering the crosstalk and leakage issues simultaneously, we have the

following observation. If the input signal of a device on the critical path has the crosstalk noise problem, then the device should be assigned with high VTH since high VTH device is less sensitive to noise. We propose an algorithm based on the above observation. We first extract the coupling capacitances of aggressor and victim nets from the standard-cell-based layout of a circuit. Then, crosstalk noise analysis is performed to find out the nets with larger noise which is measured by the "maximum peak voltage". The second step is to identify the critical path. By the results of the above steps, we globally assign each cell with either H-VT or L-VT version from the cell library to achieve the noise-aware and low-power design goal.

Experiments are performed on the circuits from the ISCAS89 benchmark suite. First, the circuit is implemented using the TSMC 0.13um dual threshold standard-cell library. Then, the commercial tool SOC Encounter is used to perform the placement and routing work and crosstalk analysis of the circuit. After applying our proposed algorithm, we can reduce the number of cell with noise about 52.43%.

Keywords: low-power design, leakage, MTCMOS, crosstalk noise

1. 簡介

在先進的製程中，為了降低電路的功率消耗，通常藉由降低電路的工作電壓，使電路運作在較低的電壓，讓電路達到低功耗的需求；但卻也會因此使得電路的雜訊容忍度為之縮小，造成電路的雜訊容忍能力降低。由此可見，在先進製程下，訊號干擾變成一個影響電路功能與效能的主要因素之一，功率消耗更是另一個重點的考量；如何降低訊號干擾與功率消耗，是現代積體電路設計的一個重要議題。

圖 1.1 顯示兩平行線段之間的耦合效應，當侵害線段的訊號上升時，在受害線段上

因感應而產生雜訊，此雜訊傳遞至受害後的反相器時，產生突波的情形。

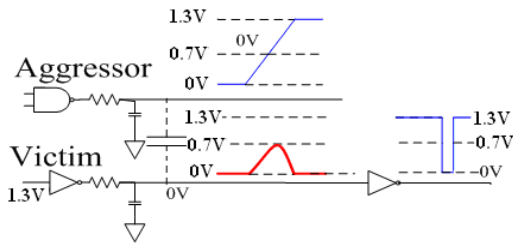


圖 1.1 訊號干擾引發的突波[1]

耦合雜訊所造成的突波訊號，會傳達給下一級邏輯閘，並使邏輯閘接收此誤判的訊號，且進行充放電的動作；這不僅會造成多餘的功率消耗，假若此訊號恰巧為邏輯閘的輸出控制值(Controlling value)，更會因此而造成電路的功能錯誤(Function Error)的嚴重後果。因此，為了降低雜訊突波而造成的干擾影響，邏輯閘的雜訊容忍力就變的格外重要[2]。

而 MTCMOS 技術，是經由調升或調降電路的臨界電壓，來改善電路效能與功率消耗；這也導致元件在不同臨界電壓值的設定下，受到相同的雜訊影響時，會有不同的干擾情形，尤其在臨界電壓值越低元件中，元件的雜訊容忍度會因臨界電壓值的降低而為之縮小，因此當電路受到相同的雜訊影響時，低臨界電壓元件會比高臨界電壓元件所遭受的影響甚巨，因此造成另一種探討的新議題。

以圖 1.2(a)為例子，假設有一個干擾突波，干擾並且影響到訊號輸入時，從圖中可以看到 M1 與 M2 這兩個是使用 L-VT 之電晶體元件。因此，在受到雜訊干擾時，由於電晶體的臨界電壓值較低，因此在受到細微的雜訊時，便會使讓電晶體導通，造成電路不必要的充放電動作，進而造成功耗損失，嚴重的情形下更會造成電路功能錯誤。

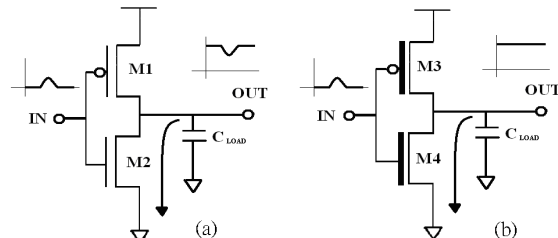


圖1.2 雜訊在不同臨界電壓值之干擾影響
(a)使用L-VT元件 (b)使用H-VT元件

因此，我們能在這些雜訊敏感的區域，將原本 L-VT 電晶體元件替換成 H-VT 元件，如圖

1.2(b)M3、M4 電晶體。提昇電晶體元件的臨界電壓後，使雜訊通過的門檻提高，電晶體便不容易遭受到細微的雜訊影響；這樣子不僅可以有效的降低電路中的干擾影響，更可以降低訊號電路功能出錯的機率。

本文其餘的章節結構如下，第二章回顧相關文獻。第三章說明本文提出的考量雜訊之 MTCMOS 電路元件 VTH 值選擇演算法，說明在不同的耦合雜訊情形下，如何使用對應的 MTCMOS 元件改善耦合雜訊，並且加入雜訊敏感的因素考量，改善因雜訊影響而造成的額外功率耗損。第四章為實驗結果與實驗數據的分析。第五章為結論與未來展望。

2. 文獻回顧

漏電流與耦合雜訊是目前奈米世代積體電路設計的重要課題，MTCMOS 技術，是在不改變電路佈局的情況下，使電晶體具有不同的臨界電壓值，配合電路的設計，在電路的關鍵路徑上之元件，使用具有較低延遲的 L-VT 樣式，維持電路運行速度；而在非關鍵路徑上，使用具有抑制漏電流能力較佳的 H-VT 樣式，以改善電路的功率消耗。由於 MTCMOS 技術，不會增加設計的複雜度，是近年來常用來降低功率消耗的技術之一。

[7]為探討雙重臨界電壓電晶體問題的先驅者。作者根據雜訊容忍界限值，定義出 L-VT 與 H-VT 元件臨界值。初始電路將所有元件預設為 L-VT 樣式，運用 Breadth-first search (BFS) 的方式，分別計算每一個元件可用的寬鬆時間(Slack time)，在不會違反時序限制需求情況下，指派成 H-VT 元件，直到電路完成最佳化。

[13]為探討電晶體尺寸與雙重臨界電壓值元件的指派，對於功率消耗所造成的影響。並且針對增加元件尺寸與面積，對影響延遲時間的關係作進一步探討。

[14]是以使用多重臨界電壓元件的方式，運用兩種不同特性的演算法來結合使用。依據演算法的最佳使用時機，在電路中寬鬆時間較長且大的區域，使用探索式交換(Heuristic Swap)的方式，考量元件的前一級與後一級的關係，計算出元件的權重值，而選出最佳的元件來作指派，使電路能在效能與功率消耗中獲得最佳改善效果。另外則在電路中寬鬆時間較少的區域，使用動態路徑(Dynamic Path Base)的方式，來改善電路中寬鬆時間較為緊迫的區域的元件指派，並運用動態時序更新時序的方

式，來提升指派元件臨界電壓值的效率。

目前許多使用 MTCMOS 技術的相關研究，主要都趨向於效能、面積與功率消耗之間的關係來做探討，而尚未考慮到元件在完成實體擺置與繞線後，可能會遭受到雜訊干擾影響，尤其是在雜訊敏感的區域時，雜訊更會對 L-VT 與 H-VT 元件造成何許不同的影響，而這些都是很重要的考量。

由於耦合雜訊主要與佈局的方式與方法有密切的關係，因此多數關於耦合雜訊的分析與估計方法[3-7]，都是在完成實體佈局後，才開始進行分析與改善。目前常見的方法有以下幾種：(1)電屏防護 (Shielding)：在高度干擾源的線段旁加上金屬接地線隔離；(2)改變線段寬度或加大線與線之間的間距(Wire Sizing and Spacing)；(3)將受到干擾的線段重新繞線 (Re-route)；(4)安插緩衝器。

影響耦合雜訊的主要成因，主要為耦合電容值、元件的尺寸差異與訊號轉換斜率等因素，因此，降低耦合雜訊的方法，多數都是從這三方面來著手。

綜合前述探討，漏電流與耦合雜訊是目前奈米世代積體電路設計無法避免的重要課題，文獻中同時考量這兩項議題的研究並不多，而且都只侷限於骨牌式電路 (Domino Logic) 設計的探討。

由於骨牌式電路對雜訊非常敏感，因此 [9-12] 等研究提出使用 MTCMOS 建構骨牌式電路，以提升骨牌式電路的抗雜訊能力。圖 3 為 [9] 提出的設計方案，主要由幾個單元組成，包括用以進行邏輯運算的下拉邏輯迴路 (Pull-down Network)、動態節點 (Dynamic Node) 的預充電晶體 P1、控制放電的電晶體 NCLK、保持動態節點電壓值的電晶體 Keeper (P2)、以及用來做波形整形的輸出反向器。

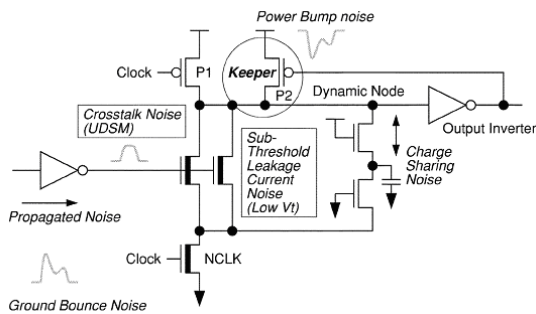


圖3. 使用MTCMOS建構的骨牌式電路[9]

由於先進的製程下，電晶體的漏電流越來越嚴重，導致骨牌式電路的 Keeper 需隨時充

電以保持動態節點之電壓，以保持運算時不致於因電荷分享 (Charge Sharing) 造成電位不足，而導致運算錯誤。當 MTCMOS 的技術導入至骨牌電路設計中，由於 L-VT 的元件漏電流較為嚴重，將加重 Keeper 的負擔。除此之外，當受到雜訊干擾影響時，L-VT 元件因其臨界電壓值較低的特性，可能使電晶體導通而進行不必要的充放電動作，這樣不僅會造成功率耗損加重，更可能導致電路的功能出錯。

總歸而言 [9-12] 主要著重的點，是針對電路架構中遭受到雜訊干擾時，如何選擇適當的 Keeper 尺寸，以抑制電路中的漏電損耗；或是以指派電晶體的 VTH 值，來降低漏電流與雜訊干擾。

因此，目前對於 MTCMOS 電路的耦合雜訊分析與探討的研究，除了前述針對骨牌式電路的設計之外，還沒有文獻進行非骨牌式數位電路的探討。本論文針對以雙臨界電壓值元件庫 (Dual-VTH Cell Library) 實現的數位電路，考量 L-VT 與 H-VT 元件，在傳輸延遲與雜訊敏感的差異，透過電路中邏輯元件的 VTH 值之適當指派，以使電路達到運算速度快、漏電功耗低且抗雜訊能力強的目標。

3. 雜訊限制之 MTCMOS 功率優化演算法

以往在考量雜訊干擾時，僅會考量其元件與元件之間的尺寸差異、驅動能力的影響程度，或線段與線段之間因平行線段長度而造成的耦合效應，而經由改變繞線的方式或者是以安插緩衝器來改善受害線段的干擾影響。

對於 MTCMOS 電路而言，元件可能因臨界電壓值的差異，對於相同的雜訊影響而有不同雜訊容忍能力。在耦合雜訊無可避免的情況下，對於雜訊較嚴重的區域，如何適當的選擇元件的 VTH 值，在滿足時序限制的情形下，達到抗雜訊的目標，是一個從未被探討的議題，也是本文的主軸。

在探討接下來的主題之前，首先回顧 MTCMOS 的基本特性。

3.1 MTCMOS 特性

MTCMOS 技術是利用 L-VT 元件低延遲、速度快的特性，運用在電路的關鍵路徑上，來提昇電路的效能；在非關鍵路徑上，運用 H-VT 元件來降低漏電功耗。可是，若以雜訊的眼光來考量 MTCMOS 技術運用時，H-VT 元件由於擁有較高的臨界電壓值，相較於 L-VT 元件，會有較好的雜訊的容忍度。因此，當干擾雜訊同時發生在 H-VT 元件與 L-VT 上時，H-VT 元件出現錯誤運算的機率比 L-VT 的元件小。

	Low-Vth	High-Vth
延遲時間	較短	較長
漏電功耗	較大	較小
雜訊容忍度	較差	較佳

圖3.1 不同臨界電壓值元件之比較

3.2 雜訊敏感元件定義

耦合雜訊的計算與分析，必須在完成晶片佈局後才比較精確。因此，我們在完成晶片佈局後，分析出電路中侵害線段、受害線段資訊與電路中關鍵路徑資訊。以圖 3.2 為例，電路中有一條侵害線段與受害線段，受害線段容易產生耦合雜訊，而雜訊敏感元件，則是容易受到耦合雜訊影響之線段所連接的下一級元件。以圖 3.2 為例，元件 4 是雜訊敏感元件。

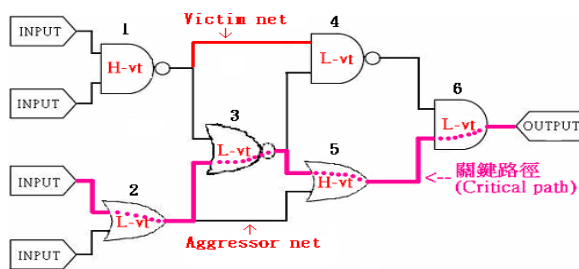


圖3.2 電路干擾線段資訊

為避免雜訊敏感元件出現錯誤運算，應該選擇以 H-VT 樣式實現之，提升其雜訊容忍度，使元件擁有較好的抗雜訊能力。

3.3 耦合雜訊導向的 VTH 值選擇策略

在經過電路耦合雜訊分析後，首先根據電路連接線上的耦合雜訊值大小進行分類，以利後續的處理。耦合雜訊值大於元件臨界電壓值的連接線是必須改善的對象，我們將這些連接線所接連的元件，分成 A、V 與 S 三類：

A 型元件：為侵害線段之驅動元件。

V 型元件：為受害線段之驅動元件。

S (Sensitive)型元件：雜訊敏感元件，為受害線段後之訊號接收元件。

3.3.1 A 型元件之策略選擇

侵害線段為電路中的強訊號導線，因此，若以雜訊的眼光來考量 MTCMOS 技術的運用時，其驅動元件適合以 H-VT 的樣式實現，使訊號轉換速率變得較和緩，以降低對其他受害線段的影響程度。

由於將 A 型元件以 H-VT 樣式實現時，將造成時間延遲變長，所以需考量此連接線段的路徑上是否有足夠的寬鬆時間，以彌補元件樣式改變而增長的延遲時間。因此，將 A 型元件指派為 H-VT 的過程中，必需分別考量 A 型元件在三種不同路徑上之情形：(1)當處於效能關鍵路徑上時；(2)處於效能的次關鍵路徑上；(3)處於效能非關鍵路徑上；其中僅有(2)有足夠的寬鬆時間可運用來調整元件 VTH 值，降低干擾影響的產生。

3.3.2 V 型元件之策略選擇

受害線段為電路中的弱訊號導線，易受雜訊干擾影響。因此，適合將其驅動元件以 L-VT 的樣式實現，強化其訊號轉換速率，以提升 V 型元件對耦合雜訊感染的免疫力。由於將其驅動元件指派為 L-VT 樣式時，並不會對電路造成效能損失。因此，除非 V 型元件本身已為 L-VT 的樣式，否則都可順利轉換驅動元件的樣式。

3.3.3 S 型元件之策略選擇

S 型元件為受害線段所連結之下一級元件，為雜訊敏感元件。由於易遭受到雜訊輸入

影響，因此，元件適合以抗雜訊較佳的 H-VT 樣式實現，但同樣也需與 A 型元件一樣考量時序延遲，在不導致效能損失的前提下，才得以替換之。

3.4 雜訊限制之 MTCMOS 功率優化演算法

本文實現降低干擾影響的程序，是針對 3.2 與 3.3 節中所介紹的改善方式，運用 MTCMOS 技術的特性加以實現。由於 H-VT 元件具有較佳的抗雜訊與低功耗的特性，是本文用來降低雜訊與漏電功耗的主要方式之一；可是 H-VT 元件的缺點在於擁有較長的延遲時間。因此，在使用的過程中需特別注意是否會因指派為 H-VT 樣式時而違反時序限制。

為了降低因時序限制，無法指派 H-VT 樣式給雜訊較為敏感元件的機率，本文在這裡設計方法，來提升雜訊敏感區域內元件指派成 H-VT 屬性的成功率。

方法原理，主要先取得元件在指派成 H-VT 樣式後，對電路造成的延遲影響值，以及搜尋所影響路徑中是否有其他元件，可由 H-VT 指派 L-VT 樣式，來彌補先前動作造成的延遲損失，使電路能滿足時序限制之需求。以圖 3.4(a)為例，從圖中看到受害線段所連接的下級輸入端元件(在此是指元件 5)，為電路中的關鍵路徑所流經，若將此元件指派 H-VT 樣式，勢必會使電路違反時序限制；而不指派為 H-VT 樣式，又會使元件受到干擾的影響程度加重，為了要讓元件能指派成功，我們經由指派關鍵路徑上的其他元件，使電路滿足時序限制。

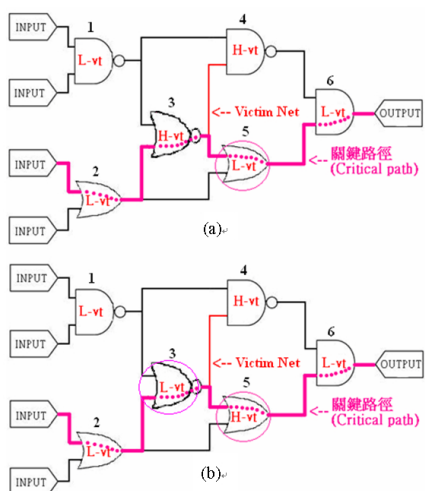


圖 3.3 滿足時序限制之調整元件 V-th
(a) 調整元件 V-th 前 (b) 調整元件 V-th

調整延遲的方式主要如圖 3.4 (b)所示，首先，我們分析電路關鍵路徑中的所有元件，將所有可指派為 L-VT 樣式的元件，建立成一條串列，經由分析出最佳的元件，並且對功率消耗影響最小的情形下，替換元件來滿足時間的要求。其次，我們加入雜訊敏感的考量，我們在選擇元件時，還會在考量元件輸出與其他線段間的耦合電容關係，避免擁有較大耦合電容值線段的元件，指派成 L-VT 樣式，進而降低產生新的干擾線段的風險。

滿足時序之調整 Vth 演算法，基本上可分成三個主要部份：1. 搜尋影響路徑中的可指派為 H-VT 之元件；2. 計算元件的權重值；3. 選擇最佳的元件指派方式，直到滿足時間限制條件。

而整體的演算法整體架構，基本上分為三大主軸，分別針對雜訊敏感元件之改善、降低干擾影響解決方案以及 MISA 功率最佳化演算法等三部份。圖 3.5 為本演算法之方法流程圖，依序為：(1) 雜訊敏感元件優化；(2) 降低干擾影響解決方案；(3) MISA 功率最佳化[8]。

首先，會分析出所有受耦合雜訊干擾之線段，包含侵害線段與受害線段；並依 3.3 節分類其所對應之型態，分成 A 型、V 型與 S 型元件等三種類型。依 3.3 節所提出之耦合雜訊導向的 Vth 值選擇策略，依續從 V 型、S 與 A 型執行降低干擾影響程序。最後，運用 [8] 所提出之 MISA 功率最佳化演算法，執行最後的功率最佳化步驟。完成後輸出元件配置資訊，結束整個演算法流程。

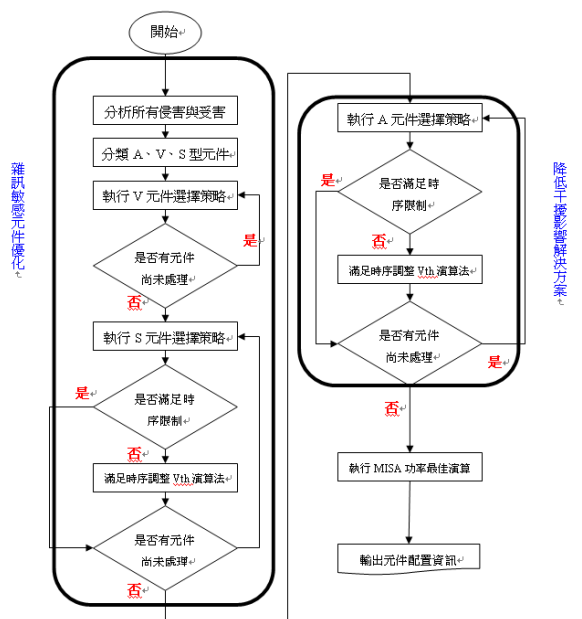


圖 3.4 雜訊限制之 MTCMOS 功率優化方法流程圖

4. 實驗結果

4.1 實驗環境與測試電路

本文以表 4.1 所示之工作站實驗環境，搭配 C 與 C++ 語言來實現第三章所提出之演算法。

本文使用 ISCAS' 89 Benchmark 作為主要測試電路，並以 TSMC 0.13um Dual Vth 製程標準元件庫來實現電路；初始測試規劃以 Low-Vth 元件，使用 Design Compiler 合成出初效能最佳化的電路，將時序限制設定為電路最佳運作時間的 1.1 倍，運用 Design Compiler 執行功率最佳化後，經由 SOC Encounter 產生元件擺置與繞線圖，Fire & Ice 粹取電路中的寄生電容與耦合電容等資訊，最後再以 CeltIC 執行訊號干擾分析，完成整個實驗的初始建構。

表 4.1 工作站軟硬體資訊

工作站硬體	SunBlade1000 UltraSPARCIII 1GHz 2G Ram	
作業系統	SunOS Release 5.8	
C++編譯器	GCC version 3.2	
標準製程元件庫	Cell-Based Design Kit 0.13um TSMC/ Artisan Metro v1.0	
使用軟體	Design Compiler x05.09sp4	Logic Synthesis
	SOC Encounter version 6.2	P&R Flow
	Fire&Ice QXC version 3.11	Extracting RC
	CeltIC V06.20	Cerostalk analysis

4.2 實驗過程與結果分析

本文初始以 SOC Encounter 內建之 CeltIC 雜訊分析軟體，萃取出測試電路中耦合雜訊大於 10%*VDD、15%*VDD 及 20%*VDD 之干擾線段，分別以本文所設計之方法，執行降低雜訊干擾程序。

4.2.1 實驗一

根據本論文所提出的雜訊限制之 MTCMOS 功率優化演算法，針對 ISCAS' 89 Benchmark 測試電路檔，做耦合雜訊最佳化的

動作，並且依改善前與改善後的耦合雜訊線段資訊來作比較。

表 4.2 侵害線段改善統計

電路名稱	s13207			s15850			s35932			s38584				
	Before/After/average	B	A	avg	B	A	avg	B	A	avg	B	A	avg	
耦合雜訊臨界電壓準位	20%	2	2	0%	38	29	23.68%	33	13	60.60%	24	13	45.83%	
	15%	8	5	37.5%	44	39	11.36%	33	15	54.54%	36	19	47.22%	
	10%	17	13	23.52%	47	37	21.27%	38	26	31.57%	47	27	42.55%	
(Before - After) ÷ Before × 100%									Total average			35.14%		

表 4.3 受害線段改善統計

電路名稱	s13207			s15850			s35932			s38584				
	Before/After/average	B	A	avg	B	A	avg	B	A	avg	B	A	avg	
耦合雜訊臨界電壓準位	20%	1	1	0%	48	58	-20.8%	32	15	53.12%	50	38	24%	
	15%	14	19	-35.7%	100	106	-6%	32	28	12.5%	116	95	18.1%	
	10%	35	39	-11.4%	127	133	-4.72%	89	98	-10.1%	265	228	13.96%	
(Before - After) ÷ Before × 100%									Total average			5.61%		

表 4.2 與表 4.3 分別為侵害線段與受害線段，在經由本文所提出之降低干擾方法優化後之結果。第 1 列為測試電路名稱；第 2 列分別為改善前、改善後與平均值；第 3 列為電路中的耦合雜訊取樣準位分別設定在 20%*VDD、15%*VDD 與 10%*VDD 之情形；第 4 列則是線段平均改善百分比。

由於干擾現象最主要的成因是取決於元件的驅動力、訊號轉換斜率與線段間的平行耦合電容等因素。因此，當電路元件數多且繞線密集度越高且長時，在這種條件下便會使線段受到干擾影響的程度加重，會有較多的干擾情形得以作探討與執行優化。電路 s15850 與 s38584 這兩個電路檔擁有較高的繞線密集度，因此在電路中的受害線段數，便會明顯多於其他兩個，尤其當雜訊臨界值設定較小 (VDD*15%或 VDD*10%)時，受害線段數更會明顯增加。

由表 4.2 中可以看到，整體而言本論文所提出的雜訊限制之 MTCMOS 功率優化演算法對侵害線段的改善可獲致顯著的效果，以表 4.2 中為例，電路 38584 在耦合雜訊臨界準位 VDD*20%時，初始電路有 24 條侵害線段，經由本文所提出之演算法執行優化後，侵害線段剩下 13 條，減少比例為(24-13)/24=45.83%，改善效果相當顯著。平均而言，在整體的侵害

線段平均的改善幅度約為 35.14%。受害線段平均的改善幅度約為 5.61%。

4.2.2 實驗二

實驗二主要是針對電路中所有雜訊敏感的元件進行分析，並且從 TSMC 0.13um Dual Vth 製程標準元件庫資訊中，取得 Low-Vth 與 High-Vth 元件的臨界電壓值做為依雜訊敏感的依據。表 4.4 便是 TSMC 0.13um Dual Vth 製程標準元件庫中的 Low-Vth 與 High-Vth 分別的 NMOS、PMOS 的臨界電壓值。

表 4.4 不同類型元件的臨界電壓值

	PMOS	NMOS
Low-Vth	161mv	266 mv
High-Vth	409 mv	471 mv

由於耦合雜訊只要一超過了臨界電壓值，便有可能會導致電路運算錯誤。因此，在不失一般性的原則下，若使用 Low-Vth 元件時，其雜訊敏感的準位便設定為 161mv，而使用 High-Vth 元件則設定為 409mv。

表 4.5 為經由本文方法處理電路中雜訊敏感元件，在改善前與改善後之數據比較。其中第 1 欄為電路名稱第 2 欄為耦合雜訊準位，第 3 與第 4 欄分別為改善前、改善後的元件個數，第 5 欄則是改善的百分比。

我們可以從表中明顯的看到，在多數的電路中都能有效的達到降低電路中的雜訊敏感元件的目的地。而以測試電路 s35932 在 VDD 10%的耦合雜訊準位時，在改善前共有 115 個雜訊敏感的元件，在經由本文提出的方法改善後，剩餘 54 個雜訊敏感的元件，平均的改善效率則是達到 53.04%的改善幅度。這也說明了我們所提出的方法在降低雜訊敏感的元件方面，其改善效果相當顯著。平均而言，在整體的侵害線段平均的改善幅度約為 52.43%。

表 4.5 耦合雜訊敏感元件改善資訊

電路名稱	耦合雜訊臨界準位	改善前	改善後	改善百分比
s13207	20%	0	0	0.00%
	15%	0	0	0.00%
	10%	1	1	0.00%
s15850	20%	25	13	48.00%
	15%	58	34	41.37%
	10%	77	46	40.25%

s35932	20%	46	14	69.56%
	15%	46	26	43.47%
	10%	115	54	53.04%
s38584	20%	37	12	67.56%
	15%	50	19	62.00%
	10%	79	35	55.69%
平均敏感元件降低百分比				52.43%

5. 結論

本文針對先進 MTCMOS 製程技術，提出一個低功率設計導向的降低干擾雜訊方法；本方法的特質在於充分掌握電路佈局資訊，對於因繞線過於密集而導致嚴重的耦合干擾雜訊，提出一套有效的解決方案。

另外，我們更進一步去考量不同 V-th 元件的特性，優先在受干擾雜訊影響較為敏感的区域，使用擁有較佳抗雜訊干擾能力的 High-Vth 元件，避免因雜訊造成的干擾影響與額外的功率耗損；在實驗結果中，可以明顯看到，本文所提出的方法同時考量電路操作速度與功率消耗因素等需求，並且在不影響額外佈局面積的情況下，達到降低干擾影響之訴求。

由於本文所提出的方法來改善干擾現象時，首要條件是需有適合的 V-th 元件來作替換，因此在改善的過程中會因電路的特性不同、在擺置與繞線後的干擾現象發生的線段不同而會有所差異，未來適必需針對此弱點，以搭配他改善的方法來彌補。

6. 參考文獻

- [1] A. Vittal, M. Marek-Sadowska, "Crosstalk Reduction for VLSI," IEEE. Trans. Computer-Aided Design, vol. 16, pp. 290-298, Mar. 1997.
- [2] L. Wei, Z. Chen, M. Johnson, and K. Roy, "Design and Optimization of Low Voltage High Performance Dual Threshold CMOS Circuits," in Proc. of DAC, June 1998, Page(s): 489-492.
- [3] C. Chen, X. Yang, M. Sarrafzadeh. "Potential Slack: An Effective Metric of Combinational Circuit Performance. In Proc. of the ACM/IEEE International Conference on Computer-Aided Design, pp. 198-201, 2000.

- [4] J. Cong, D. Pan, and P. V. Srinivas, “**Improved crosstalk modeling for noise constrained interconnect optimization**”, in Proc. Asia South Pacific Design Automation Conf., 2001, pp. 373 – 378
- [5] Qingjian Yu; Kuh, E.S.;” **New efficient and accurate moment matching based model for crosstalk estimation in coupled RC trees,** ” IEEE ,Quality Electronic Design, 2001, pp. 151 – 157.
- [6] Seong-Ook Jung, Ki-Wook Kim, Sung-Mo Kang,” **Noise constrained power optimization for dual VT domino logic** “ Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on Volume 4, 6-9 May 2001 Page(s):158 - 161 vol. 4
- [7] Anis, M.H, Allam, M.W, Elmasry, M.I, “**Energy-efficient noise-tolerant dynamic styles for scaled-down CMOS and MTCMOS technologies**” Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 10, Issue 2, April 2002 Page(s):71 – 78
- [8] Magma Design Automation “**Signal Integrity Sign-off Verification**”, White Paper, 2002.
- [9] M. Ketkar, S.S. Sapatnekar, “**Standby power optimization via transistor sizing and dual threshold voltage assignment,**” in Proc. of ICCAD, Nov. 2002, Page(s): 375 -378.
- [10] Seong-Ook Jung, Ki-Wook Kim, Sung-Mo Kang,” **Dual threshold voltage domino logic synthesis for high performance with noise and power constraint**” Design, Automation and Test in Europe Conference and Exhibition, 2002. Proceedings 4-8 March 2002 Page(s):260 – 265
- [11] Seong-Ook Jung, Ki-Wook Kim, Sung-Mo Kang.” **Noise constrained transistor sizing and power optimization for dual Vt domino logic**” Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 10, Issue 5, Oct. 2002 Page(s):532 – 541
- [12] Yen-Te Ho , Ting-Ting Hwang, **Low power design using dual threshold voltage,** Proceedings of the 2004 conference on Asia South Pacific design automation: electronic design and solution fair, p.205-208, January 27-30, 2004, Yokohama, Japan
- [13] Xiaoliang Bai, Chandra R.,Dey, S. ,Srinivas P.V. ,“**Interconnect coupling-aware driver modeling in static noise analysis for nanometer circuits**”, Computer-Aided Design of Integrated Circuits and Systems, vol. 23, 2004, pp. 1256 – 1263.
- [14] Jeegar Tilak Shah, Marius Evers, Jeff Trull, Alper Halbutogullari, ” **Circuit optimization for leakage power reduction using multi-threshold voltages for high performance microprocessors.**” ISPD 2007: 67-74