

高效能低相位雜訊疊接式雙交叉耦合

四相位壓控振盪器

陳鳳美
龍華科技大學副教授
e-mail :
chm@mail.lhu.edu.tw

余同釜
龍華科技大學研究生
e-mail :
ggtofu@gmail.com

摘要

本文介紹一個操作在 5.9GHz 頻帶之四相位電壓控制振盪器(QVCO)的設計，主要利用疊接式雙交叉耦合架構設計而成，有著低相位雜訊和寬頻率可調範圍的表現。其特色為利用疊接式雙交叉耦合能產生更好的負阻抗的特性，來達到低相位雜訊的目標。與傳統架構相比在同樣的消耗功率下可以得到更高的負阻抗，因此降低電路的消耗功率、也可以改善相位雜訊、使電路容易振盪及整體的效能指數更好，本文設計之電路使用台積電 0.18um 製程，在 1.8V 供應電壓下、振盪器在振盪頻率 5.9GHz，四個輸出為正交的信號，偏移 1MHz 的地方所得到之相位雜訊為 -121dBc/Hz。效能指數(figure of merit ; FoM)為 -187.2，電路整體消耗功率為 8.3mW、頻率可調範圍為 1GHz。

關鍵詞：壓控振盪器、相位雜訊、疊接式雙交叉耦合、負阻抗。

1. 前言

在現今無線通訊的蓬勃發展下，製造的技術改變得相當快。對射頻接收端與發射端的電路影響非常大。目前在這領域下，為了成本的考量多半希望將電路整合使得面積變小，因此積體電路應用在無線通訊也愈來愈普遍，同時也希望能有更多的功能，在積體電路設計上，必須考量幾個效能重點，如低電壓、低功率消耗、低相位雜訊。也由於無線通訊技術廣泛的被應用因此工作頻率也相對的越來越高，而在射頻收發機的系統中的電路設計，也變得更加困難。為了達到最佳的系統整合，最主要的挑戰是以一個鎖相迴路或頻率合成器提供此本地振盪訊號，而這個鎖相迴路或頻率合成器的中心結構為一個壓控振盪器，它在前端射頻電路中提供了升頻與降頻所需的本地振盪訊號，也因此它的電路特性好壞更是影響了整個

迴路的效能及無線通訊系統中，為避免訊號在升頻降頻的過程中造成訊號失真，需要穩定的本地振盪源[1]。本地振盪的電路之中最重要的電路之一為電壓控制振盪器，其訊號易受環境的影響而發生偏移[3]，如何設計高穩定就成了重要的課題。由於現今無線收發機的混頻器(MIXER)大多採用差動式混頻器，所以及需要四相位正交的振盪訊號，本文探討的四相位壓控振盪器電路採用 LC-Tank 架構，因為此震盪架構能達到較佳的相位雜訊較能符合本設計者的要求。同時使用差動的架構，對於共模雜訊具有較佳抑制能力，而有較佳之相位雜訊表現[3]。即需要為四相位正交的振盪訊號。故現今大多數的通訊系統中，具有寬頻帶、多頻帶或是一組可產生相差各 的四相位壓控振盪器，是非常重要的事。此次四相位壓控振盪器設計可適用於 802.16a 協定中(2GHz~11GHz)。

2. 電路架構

所使用的基本架構為互補式交叉耦合，如圖 1 所示，在此架構上多了兩個 PMOS 電晶體，對於相同的偏壓來說，輸出振幅的範圍會被壓縮，由於製程以及電子電動本身特性不同，PMOS 所造成的雜訊會比 NMOS 來的小，就優點上來看，PMOS 也會提供負阻抗，所以偏壓電流可以比交叉耦合來的小，且結構對稱，因此輸出波形也較對稱，在相位雜訊上的特性也可以改善。在主動電路中的電晶體之設計取向為(W/L)大，使得電晶體的 值變大，因此 QVCO 的相位雜訊變的較好，但是(W/L)值較大則電晶體本身的寄生電容便會增加，導致影響了電路的振盪頻率，可調變的頻率範圍也會下降，消耗功率也會增加，所以在這一方面設計時就要加以考量。為了達到可應用寬頻率可調範圍、低相位雜訊之壓控振盪器的目標。本設計者將傳統互補式交叉耦合對壓控振盪器改良後完整電路如圖 2 所示。本文電路設計架構，如圖 2，主要是由傳統的互補式交叉

耦合架構來改良，在架構上，電路是利用兩組電壓調變電容和一個電感來達到調變頻率的效果，而 LC-tank 是和 PMOS 交叉耦合對和 NMOS 雙交叉耦合對相連接著。在同樣的正阻抗下，可以藉由 M3~M6 所組成的 NMOS 雙交叉耦合對在同樣的消耗功率下可產生與傳統架構一樣的負阻抗甚至更好且能有效的確保起振，再利用 M7 底部尾電流有效的降低消耗功率。

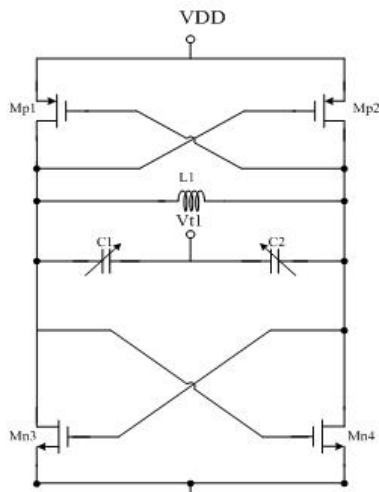


圖 1 傳統互補式交叉耦合電路

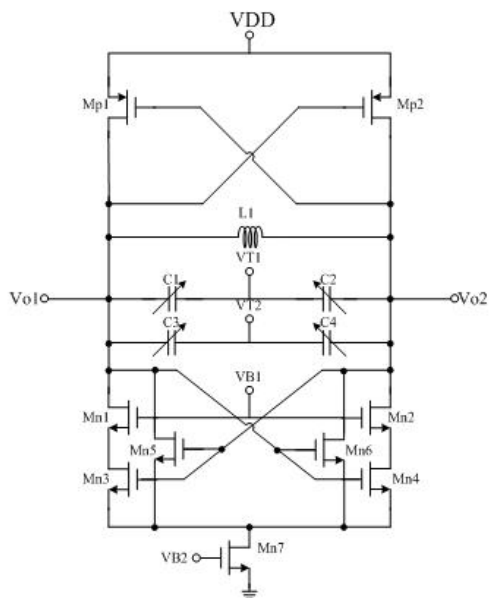


圖 2 疊接式雙交叉耦合電路

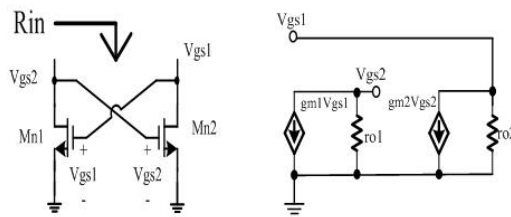


圖 3 傳統互補式架構 圖 4 小訊號等效

傳統架構負阻抗計算：

如圖 3 利用驅動點法在 Rin 看進去的兩端給一個 V_x 得到一個 I_x 再利用歐姆定律即可求出傳統式負阻抗的關係式[1].,如式子(1)為 V_x 與 V_{gs1}, V_{gs2} 的關係式,式子(2) I_x 為 V_x 所得到的電流與 $g_{m2}V_{gs2}$ 同向,式子(3)為負阻抗的推導過程。

$$V_x = V_{gs1} - V_{gs2} \tag{1}$$

$$I_x = -g_{m1}V_{gs1} = g_{m2}V_{gs2} \tag{2}$$

$$R_{in} = \frac{V_x}{I_x} = \frac{V_{gs1} - V_{gs2}}{-g_{m1}V_{gs1}}$$

$$= -\frac{1}{g_{m1}} + \frac{V_{gs2}}{g_{m1}V_{gs1}}$$

$$= -\frac{1}{g_{m1}} + \frac{-1}{g_{m1}} = -\frac{2}{g_{m1}} \tag{3}$$

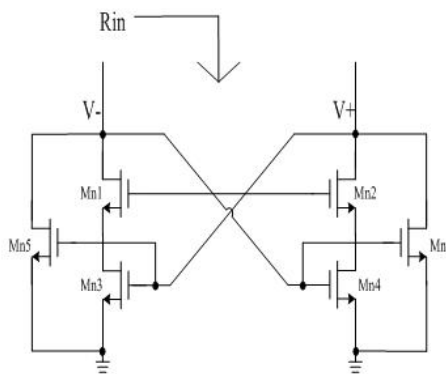


圖 5 疊接式雙交叉耦合對負電阻電路

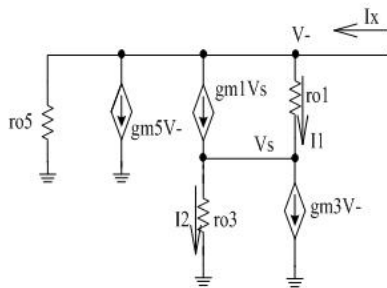


圖 6 疊接式雙交叉耦合小訊號等效

本文架構負阻抗計算:

在小訊號電路圖中先找出 Vs 節點的關係式如式子(4)(5),算出 ro3 上的電流 I2 如式子(6) 因為用近式解所以 1/ro3 約等於 0 所以 I2 也約等於 0,式子(7)為整個電流 1/ro5=0 整理後得到式子(8)。最後再代回阻抗公式 Rin=Vx/Ix 由於是用半電路近式解所以 Rin=2Vx/Ix 如式子(9)。

$$\left(\frac{1}{r_{o1}} + \frac{1}{r_{o3}} + g_{m1}\right)V_s = -g_{m3}V + \frac{-V}{r_{o1}} \quad (4)$$

$$V_s = \frac{g_{m3} + \frac{1}{r_{o1}}}{\frac{1}{r_{o1}} + \frac{1}{r_{o3}} + g_{m1}}(-V) \quad (5)$$

$$I_2 \approx \frac{1}{r_{o3}} \left(\frac{g_{m3} + \frac{1}{r_{o1}}}{\frac{1}{r_{o1}} + \frac{1}{r_{o3}} + g_{m1}} \right)(-V) \quad (6)$$

$$I_x = I_2 - g_{m3}V - g_{m5}V + \frac{1}{r_{o5}}V \quad (7)$$

$$I_x \approx -V(g_{m3} + g_{m5}) \quad (8)$$

$$R_{in} \approx \frac{2V_x}{I_x} \approx \frac{-2}{g_{m3} + g_{m5}} \quad (9)$$

由式子(3)和(9)比較可發現(9)的 Rin 可以由疊接交叉耦合對裡的兩個 gm 來做調整,有比較高的設計自由度。且此架構可以在與傳統的互補式架構在同樣的功耗下可以產生更好的負阻抗以確保電路能正常起振,由於一般傳統互補式交叉耦合對的主動元件所產生的負阻抗為-2/gm1,此架構的負阻抗經由推導約等於-2/(gm3+gm5)可以藉由兩個 gm 來調整電路所產生的負阻抗,因為用兩個電晶體來產生負阻抗並聯數不用太大即可達到傳統單個電晶體產生的負阻抗,這樣一來可以降低電路的消耗

功率,也可以稍微讓相位雜訊更佳。

同樣功率下負阻抗的比較:

當振盪頻率都為 5.9GHz 且消耗功率都為 8.3mW 時,傳統互補式壓控振盪器架構與疊接式雙交叉耦合對壓控振盪器架構之負電阻模擬比較如圖 7 及圖 8 所示,圖中黑點為振盪器振盪在 5.9GHz 時電容電感所產生的正阻抗為 0 左邊紅色實部阻抗為主動元件所產生的負阻抗,右邊藍色虛部為電容電感所產生的虛部正阻抗:

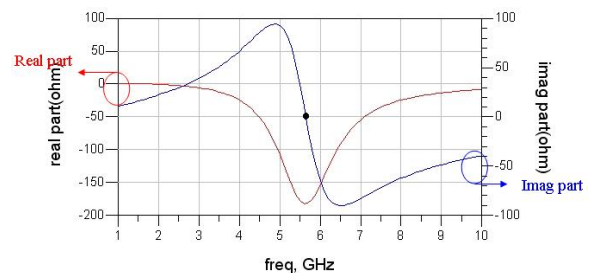


圖 7 傳統互補式負電阻模擬

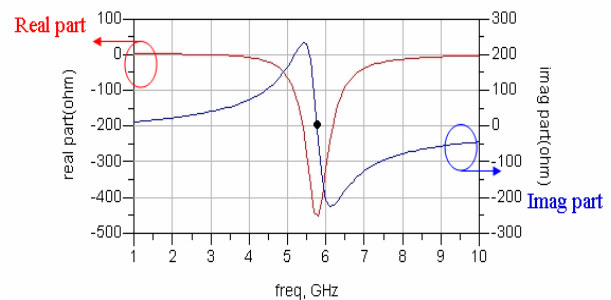


圖 8 疊接式雙交叉耦合對負電阻模擬

由負電阻模擬圖可得知,當模擬條件都相同時,疊接式雙交叉耦合對壓控振盪器架構所產生的負電阻確實會比傳統互補式壓控振盪器架構所產生的負電阻大(越負)。

3. 耦合方式

耦合電晶體的耦合方式大致上分為串聯耦合如圖 9 和並聯耦合如圖 10，圖中 M_n 為壓控振盪器本身交叉耦合的電晶體， M_{cp} 為訊號耦合電晶體，其中又以串聯耦合比較多設計者使用，因為當電晶體 M_n 和 M_{cp} 為並聯時，會因為電晶體的大小不相同、所產生的電流也不相同，所以輸出的頻率會受 M_{cp} 的電導所產生的電流(I_{cp})雜訊的影響進而提高電路的相位雜訊[4]，而串聯耦合的輸出訊號就不會受到 M_{cp} 產生的電流所影響，所以串聯耦合的相位雜訊會比並聯耦合的相位雜訊好[4]。並經由模擬比較如圖 11，圖 12 可得知，所以此 QVCO 的架構採用串聯耦合的方式如圖 13。

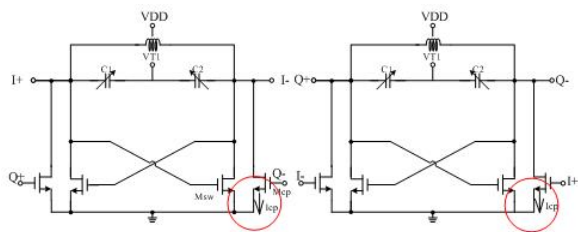


圖 9 並聯耦合四相位壓控振盪器

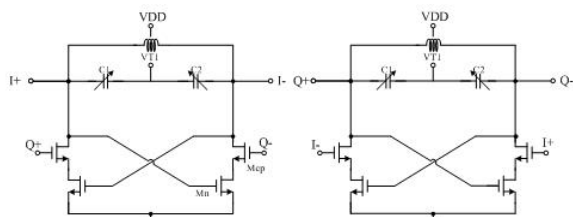


圖 10 串聯耦合四相位壓控振盪器

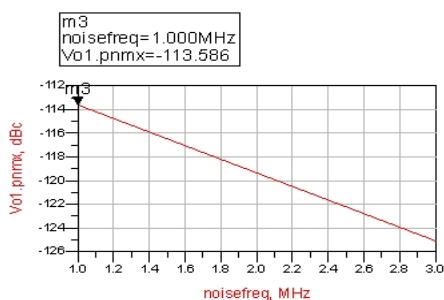


圖 11 並聯耦合相位雜訊



圖 12 串聯耦合相位雜訊

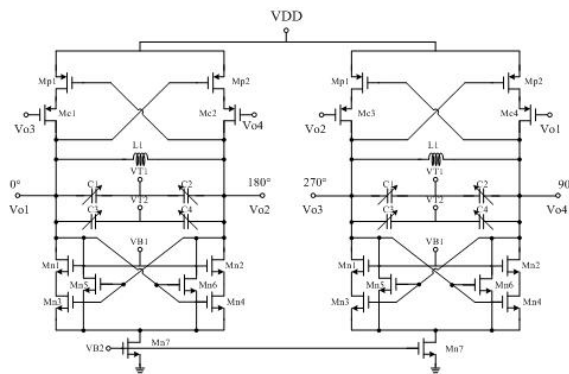


圖 13 本文 QVCO 之電路

4. 結果

此電路設計模擬軟體是使用安捷倫公司所提供的 ADS(Advanced Design System by Agilent)模擬軟體，電路模擬與佈局模型是使用台積電標準的 0.18- μm 1P6M CMOS 製程技術。此電路設計的佈局圖顯示於圖 14，面積為 1 x 0.65 mm²。圖 15 是相位雜訊的模擬結果在偏移振盪頻率 1MHz 時的相位雜訊是 -121.4 dBc/Hz，圖 16 是輸出暫態模擬，圖 17 是輸出頻譜模擬圖，圖 18、19 為頻率 v.s.控制電壓模擬結果圖當 $V_{t1}=0\text{V}$ 時 V_{t2} 從 0V 到 1.8V 時頻率可從 5.6GHz 上升至 5.85GHz 如圖 18 當 $V_{t1}=1.8\text{V}$ 時 V_{t2} 從 0 到 1.8V 時頻率可從 5.85GHz 上升至 6.62GHz 如圖 19，頻率可調範圍為 1GHz，QVCO 的預計規格表如表 1 所示，表 2 為本文與其它論文做比較之比較表。

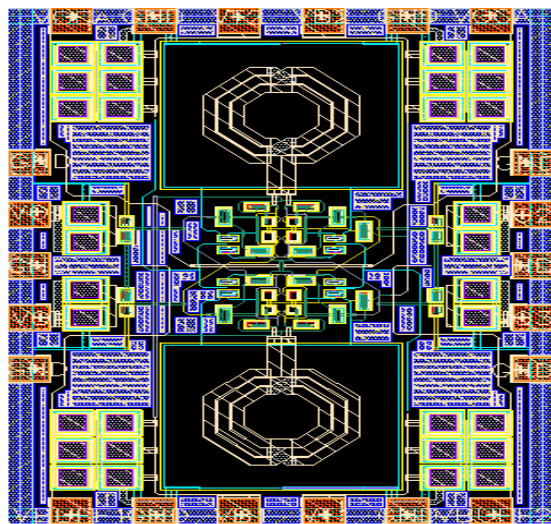


圖 14 電路佈局圖

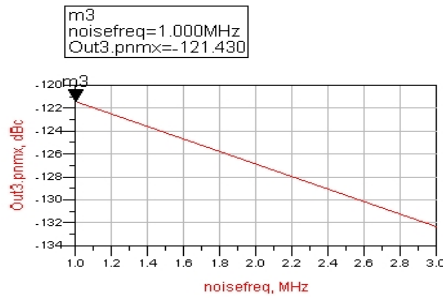


圖 15 相位雜訊模擬圖

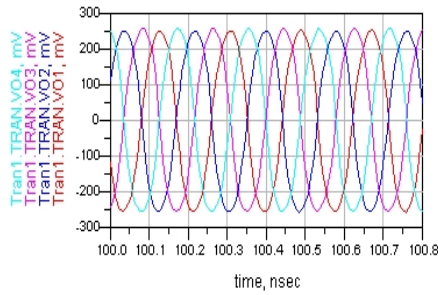


圖 16 輸出暫態模擬圖

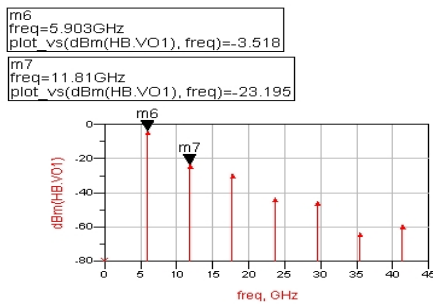


圖 17 輸出頻譜模擬圖

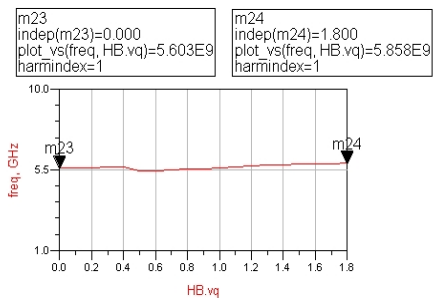


圖 18 頻率 v.s.控制電壓模擬結果圖

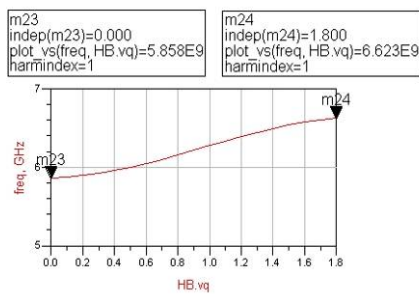


圖 19 頻率 v.s.控制電壓模擬結果圖

表 1 QVCO 預計規格表(Corner 的改變)

Corner	TT	FF	SS
供應電壓 (V)	1.8	1.8	1.8
中心頻率 (GHz)	5.9	6	5.67
可調頻率範圍 (GHz)	6.6~5.6	6.8~5.5	6.4~5.1
輸出功率 (dBm)	-1.24	0.813	-8.6
消耗功率 (mW)	8.3	12.9	5.14
相位雜訊 (dBc/Hz)	-121	-120	-115
FOM (dB)	-187.1	-184.6	-183.1

表 2 QVCO 與其它論文之比較

	Ref.[12]	Ref.[13]	This work
供應電壓 (V)	1.8	2	1.8
中心頻率 (GHz)	5	6.8	5.9
消耗功率 (mW)	19.8	20	8.3
可調頻率範圍 (GHz)	0.7	0.86	1
相位雜訊 (dBc/Hz)	-114	-115	-121
FOM (dB)	-169	-179	-187.1

5. 結論

本文設計之電路使用台積電 0.18 μm 製程，使用疊接交叉耦合對裡的兩個 gm 來做調整，有比較高的設計自由度，且此架構其主要特色為與傳統架構相比在同樣的消耗功率下得到更高的負阻抗，以確保電路能正常起振，更能達到低相位雜訊，低功耗設計目標。由模擬結果得知在 1.8V 供應電壓下、振盪器在振盪頻率 5.9GHz 偏移 1MHz 的地方所得到之相位雜訊為 -121dBc/Hz。效能指數 (figure of merit; FoM) 為 -187.2，電路整體消耗功率為 8.3mW、頻率可調範圍為 1GHz。

6. 致謝

本文作者感謝 CIC(國家晶片設計系統中心)與 TSMC 台灣積體電路公司在晶片上製作的協助，沒有他們幫助此項研究是無法完成的。

參考文獻

- [1] B. Razavi, *RF MICROELECTRONICS*, Mcgraw-Hall, Upper Saddle River NJ, 1998.
- [2] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*. London, U.K. Cambridge Univ. Press, 1998.
- [3] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 331-343, Mar. 1996.
- [4] Pietro Andreani, "A Low-Phase-Noise Low-Phase-Error 1.8GHz Quadrature CMOS VCO," *ISSCC 2002 VISUALS SUPPLEMENT/IEEE* pp228-229
- [5] Y. Zhang, P. Upadhyaya, L. Peng, D. Rector and D. Heo, "Analysis of resonator phase shift for two series LC quadrature VCOs," *ELECTRONICS LETTERS* 3rd January 2008 Vol. 44 No. 1.
- [6] Z. Li and K. K. O., "A low-phase-noise and low-power multiband CMOS voltage-controlled oscillator," *IEEE J. Solid-State Circuits*, vol. 40, pp.1296-1302, June 2005.
- [7] Chin-Lung Yang and Yi-Chyun Chiang, "Low Phase-Noise and Low-Power CMOS VCO Constructed in Current-Reused Configuration," *IEEE Microw. Wireless Compon. Lett.* vol. 18, no. 2, pp. 136-138, Feb. 2008.
- [8] J. Kim, J. Plouchart, N. Zamdmer, M. Cherony, Y. Tan, M. Yoon, R. Trzcinski, M. Talbi, J. Safran, A. Ray, and L. Wagner, "A power-optimized widely-tunable 5-GHz monolithic VCO in a digital 801 CMOS technology on high resistivity substrate," in *Proc. ISLPED*, 2003, pp. 434-439.
- [9] N.-J. Oh and S.-G. Lee, "11-GHz CMOS differential VCO with back-gate transformer feedback," *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 11, pp. 733-735, Nov. 2005.
- [10] Y. Han, L. E. Larson, and D. Y. C. Lie, "A low-voltage 12 GHz VCO in 0.13- μm CMOS for OFDM applications," in *Proc. SiRF Tech. Dig.*, 2006, pp. 379-382.
- [11] Cheng-Chen Liu, Chun-Yi Wu, and Miin-Horng Juang, "A 5.6 GHz Low Power Balanced VCO in 0.18 μm CMOS," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 19, NO. 4, PP233-235, APRIL 2009.
- [12] Vasanth Kakani, Fa Foster Dai "A 5-GHz Low-Power Series-Coupled BiCMOS Quadrature VCO With Wide Tuning Range," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 17, NO. 6, JUNE 2007 pp 457-459.
- [13] Tzuen-Hsi Huang and Jia-Lun Wang "New Frequency Plan and Reconfigurable 6.6 / 7.128 GHz CMOS Quadrature VCO for MB-OFDM UWB Application," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, IEEE/MTT-S International, pp. 843 - 846, June 2007.