

使用閃爍雜訊抑制技術之高增益主動式混頻器

陳鳳美

龍華科技大學副教授

e-mail :

chm@mail.lhu.edu.tw

鄭旻怡

龍華科技大學研究生

e-mail :

tsubasa950119@yahoo.com.tw

摘要

本文提出一個利用 TSMC 0.18- μm CMOS 1P6M 製程技術製作出應用於 2.4GHz 頻帶上，使用閃爍雜訊抑制技術之高增益主動式混頻器(A High Conversion-gain Active Mixer with Flicker-noise Reducing Technique)積體電路設計。本電路使用主動式雙平衡式混頻器之架構，再搭配電流開關(Switch-biasing)技術與電流注入(Current Bleeding)技術所設計而成。此混頻器(Mixer)設計使用 1.5V 之電壓，DC 消耗功率為 4.995mW，此電路架構於實際模擬後可獲得 20.112dB 之高轉換增益、IIP3 為 -9.827dBm、P1-dB 壓縮點為 -19.075dBm、在 IF 中頻所獲得之雜訊係數為 10.021dB。

關鍵詞：電流開關、電流注入、高轉換增益

1. 前言

近年來無線通訊這方面的應用廣泛運用於手機、無線網路和衛星電話等，也因為此，通訊需求的商機大量增加，國際市場上的競爭激烈。再加上製程技術的進步，在高頻積體電路設計上除了考量適用頻帶也必須考量幾個重點，如：低電壓、低功率消耗、面積小，以達到最佳的系統整合。而本文著重於混頻器之設計。

圖 1.1 為一無線收發機的基本方塊圖。無線接收機的重點，即是將射頻 (Radio Frequency, RF) 訊號與本地振盪 (Local Oscillator, LO) 利用混頻器混頻後降至中頻 (Intermediate Frequency, IF)。經混頻器混頻後有兩個輸出訊號，一個為「和」訊號(上變頻)，另一為「差」訊號(下變頻)。為兼顧開發收發機之實際需要，只取「差」訊號為中頻。因此朝此方向進行製作，並使元件效能達到最好。

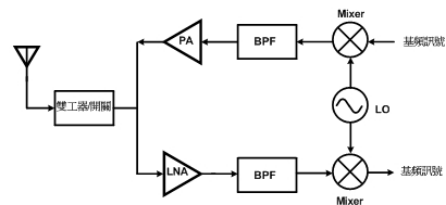


圖 1.1 無線收發機示意圖

無線通訊架構中最重要的區塊之一就為混頻器的部份；混頻器將高頻訊號與 LO 訊號做上變頻 (Up-conversion) 或下變頻 (Down-conversion)，再經過適當的低通濾波，可將訊號降至中頻，再饋入後級的電路作訊號處理 [1]。

為了讓後級有良好的輸出性能，此次設計之下變頻混頻器，主要針對 LO 輸入產生的雜訊來做抑制，另外也加入電流開關技術，使整體效能提升，電路之轉換增益也有大幅度的改善，使電路之輸出功率增加，如此一來可使後級得到較佳的訊號。

2. 電路原理與架構簡介

常見的混頻器架構主要分為兩種，被動式混頻器以及主動式混頻器。被動式混頻器主要以被動開關混頻器為主，其優點在於高線性度、架構簡單、無直流電流消耗以及無閃爍雜訊的問題。而主動式混頻器又區分為單平衡式混頻器和雙平衡式混頻器，其主要的差異在於單平衡式混頻器會有嚴重的 LO 端至中頻端之洩漏問題，通常需要外接濾波器濾除；雙平衡式混頻器則無 LO 端至中頻洩漏問題，不過所消耗的功率則多一倍[2][3]，因此，此次設計之電路基本架構採用整體效能較佳的雙平衡式混頻器，如圖 2.1 所示。

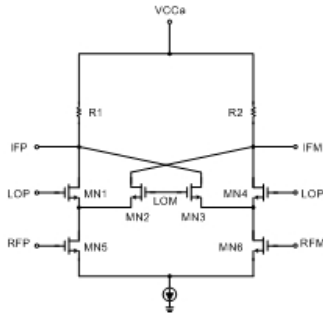


圖 2.1 主動式雙平衡式混頻器

主動式雙平衡式混頻器是由兩組單平衡式混頻器所組成的，RF 及 LO 輸入端都是平衡式訊號，假設 RF 訊號及 LO 訊號分別為：

$$V_{LO} = \pm V_{LO} \cos \omega t \quad (1)$$

$$V_{RF} = \pm V_{RF} \cos \omega t \quad (2)$$

RF 電壓經過 MN5、MN6 轉換為電流訊號：

$$I_{D, MN5} = I_{DC} + g_m V_{RF} \cos \omega R_f t \quad (3)$$

$$I_{D, MN6} = I_{DC} - g_m V_{RF} \cos \omega R_f t \quad (4)$$

LO 訊號則使 MN1、MN2、MN3、MN4 如一切換開關，因此可得輸出電流為：

$$I_{D, MN1} = I_{D, MN5} [0.5 - 0.5 \operatorname{sgn}(\cos \omega L_o t)] \quad (5)$$

$$I_{D, MN2} = I_{D, MN5} [0.5 + 0.5 \operatorname{sgn}(\cos \omega L_o t)] \quad (6)$$

$$I_{D, MN3} = I_{D, MN6} [0.5 - 0.5 \operatorname{sgn}(\cos \omega L_o t)] \quad (7)$$

$$I_{D, MN4} = I_{D, MN6} [0.5 + 0.5 \operatorname{sgn}(\cos \omega L_o t)] \quad (8)$$

因此可得 IF 輸出電流為：

$$\begin{aligned} I_{IF} &= I_{IF+} - I_{IF-} \\ &= 2 g_m V_{RF} \cos \omega R_f t * \operatorname{sgn}(\cos \omega L_o t) \end{aligned} \quad (9)$$

接下來再做傅利葉分析，通常結果我們會忽略高次項諧波，因此可得：

$$V_{IF} \approx \frac{4 g_m V_{RF} R_L \cos(\omega_{RF} - \omega_{LO}) t}{\pi} \quad (10)$$

最後可求得電壓轉換增益：

$$CG = \frac{2 g_m R_L}{\pi} \quad (11)$$

由上述推導可了解到雙平衡式混頻器在 IF 輸出端無 LO 頻率項存在，因此雙平衡式混頻器有良好的 LO to RF、LO to IF 隔離度。此外，雙平衡式混頻器可抑制 RF 及 LO 訊號的偶次項諧波，奇次項諧波多兩倍。但電路雜訊指數較高，在相同轉換增益下，功率消耗也較單平衡式混頻器多一倍。同時主動式混頻器相較於被動式混頻器有較高的實用性，因此這次下線的架構以主動式雙平衡式混頻器 Gilbert-cell 為主，這次下線的混頻器針對此電路架構的一些缺點再作改善。下圖是改良後完整電路，如圖 2.2 所示。

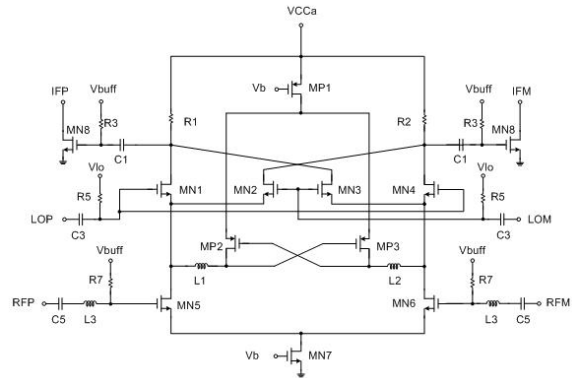


圖 2.2 電路架構

此電路架構特色：

特色一：

由於雙平衡式混頻器的雜訊指數較高，因此為了抑制雜訊，因此此次設計加入了電流開關來將雜訊消除，此一電流開關由一組差動對所組成[4]，如圖 2.3(a)為一電流開關的示意圖。

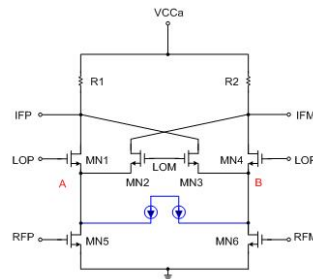


圖 2.3 (a)電流開關示意圖

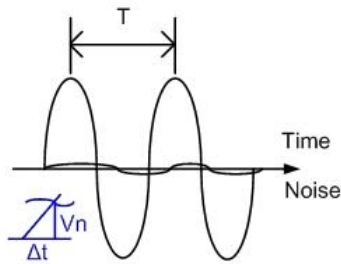


圖 2.3 (b) LO 訊號及雜訊脈波示意圖

圖 2.3(b)則為 LO 訊號及雜訊脈波示意圖，圖中較大的正弦波為 LO 訊號，較小的則為雜訊，訊號由 LO 輸入時一定會伴隨著雜訊一起輸入，此時我們使用電流開關由圖 2.3(a)的 A 端或 B 端注入一小電流脈波，使其與所輸入的雜訊互相抵消，如此一來，就可以不影響 LO 輸入訊號，達到雜訊抑制的效果。由公式(12)， Δt 表示雜訊間隔的寬度， $v_n(t)$ 表示與雜訊相等大小的一個變數， S 則為雜訊之斜率。換句話說只要計算出雜訊出現的時機，再加以抑制，便可得到更乾淨的 LO 訊號。

$$\Delta t = \frac{v_n(t)}{S} \quad (12)$$

LO 開關切換所產生之雜訊輸出閃爍雜訊電流為直流平均脈波，如公式(13)(14)，公式中的參數分別是 T 為 LO 的週期， I 為 bias 電流， W_{eff} 及 L_{eff} 為有效寬度及長度， C_{ox} 為氧化層電容， K_f 為製程參數。

$$i_{o,n} = 4I * \frac{v_n}{S * T} \quad (13)$$

$$v_n = \sqrt{2 * \frac{K_f}{W_{eff} L_{eff} C_{ox} f}} \quad (14)$$

圖 2.4 為此次使用的電流開關結構圖，電路中的 MP1 當作一個電流源，電路中的 MP2 及 MP3 則當做一動態注入電流開關的裝置，當 MP1 動作時即會有一個 $I_D=2I$ 的電流流入，但是當 V_b 給一個高電壓時，MP1 即不動作，此時就不會有電流注入，如此一來，MP2 及 MP3 便會像一開關一樣動作，便可達到消除閃爍雜訊的效果。

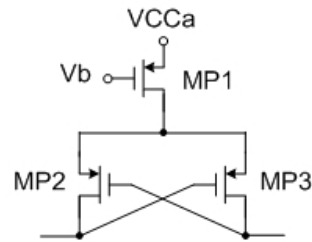


圖 2.4 電流開關結構圖

特色二:

除了上面所提到之 LO 訊號帶來的雜訊之外，電路中也會在 A 端及 B 端產生一寄生電容 (C_p)，如圖 2.5(a)所示，為了不讓所產生的寄生電容影響我們的電路，因此我們在此架構中也加入了一組電感，使電感與寄生電容形成一個共振腔，共振的同時也可以達到雜訊抑制的作用[5]。

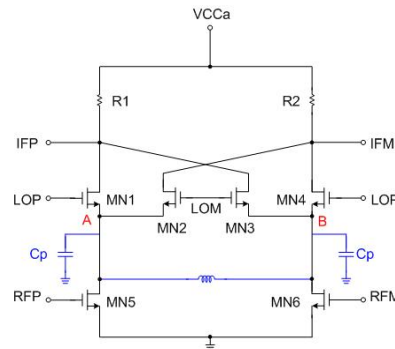


圖 2.5 (a)電感及寄生電容示意圖

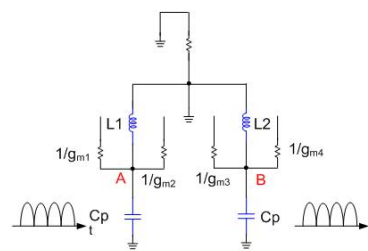


圖 2.5 (b)雙平衡混頻器及共振電感示意圖

圖 2.5(b)中顯示，由共振腔所產生的振盪訊號，也可如前段所示之方式使其振盪的最高點正好在雜訊產生的相反位置處，如此一來不可以降低雜訊也可幫助 LO 訊號更明顯。公式(15)中， C_p 為 LO 開關中的寄生電容。

$$i_{o,n(ind)} = \frac{2C_p v_n}{T} * \frac{(C_p \omega_{LO})^2}{g^2_{ms} + (C_p \omega_{LO})^2} \quad (15)$$

本次下線設計的電路，在 RF 端皆使用電容及電感以 50Ω 做一匹配動作，以便將來量測時與儀器做匹配，圖 2.6 為電路匹配結果圖。

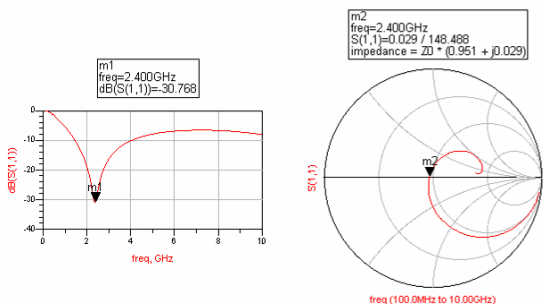


圖 2.6 電路匹配結果圖

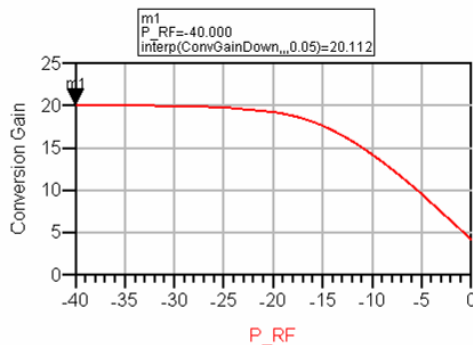


圖 3.2 Conversion Gain

Output Frequency	Single Sideband Noise Figure, dB
100.0 MHz	10.021

圖 3.3 Noise Figure

3.結果

此電路設計模擬軟體是使用安捷倫公司所提供的 ADS(Advanced Design System by Agilent)模擬軟體，電路是使用 TSMC 所提供之 0.18-μm 1P6M CMOS 模型模擬。圖 3.1 為 IF 輸出頻譜圖、圖 3.2 為轉換增益模擬結果圖、圖 3.3 則為 SSB(Single-Sideband)之 Noise Figure 數值、圖 3.4 為隔離度的模擬結果數值、圖 3.5(a)為 P-1dB 壓縮點模擬結果圖、圖 3.5(b)為 P-1dB 壓縮點的模擬結果數值、圖 3.6 為 IIP3 之數值，最後表 1 為預計規格表、表 2 為與其它論文之比較表。

PORT-TO-PORT ISOLATION

LO to Output isolation (dB)	LO to Input isolation (dB)	Input to Output isolation (dB)
P_LO2IF	P_LO2RF	P_RF2IF
87.8	117.9	65.3

圖 3.4 三埠隔離度

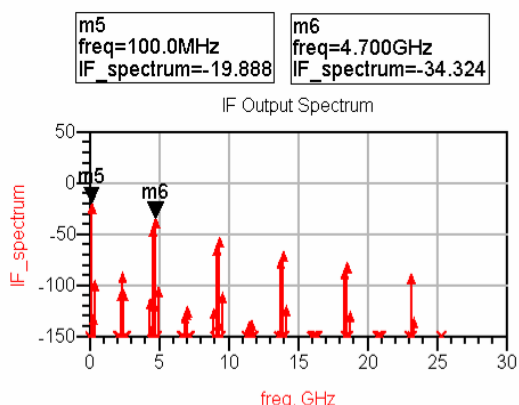


圖 3.1 IF 輸出頻譜



圖 3.5 (a) P-1dB 壓縮點

1.0 dB compression input power and associated conversion gain

RF frequency	Differential input voltage	1.0 dB gain compression input power level (dBm)	Conversion gain
2.400 GHz	0.058	-19.075	19.119

圖 3.5 (b) P-1dB 壓縮點

Third-Order IMD Frequencies		IIP3, dBm
99.70 M		-9.827
100.3 M		-9.823

圖 3.6 IIP3

表 1 預計規格表

使用模型 (T=25°C)	TT	FF	SS
Voltage	1.5V		
LO Power	0dBm		
LO Frequency	2.3GHz		
RF Power	-40dBm		
RF Frequency	2.4GHz		
IF Frequency	100MHz		
Conversion Gain	20.112 dB	20.715 dB	13.848 dB
IIP3	-9.827 dBm	-14.393 dBm	-9.148 dBm
IP1dB	-19.075 dBm	-22.219 dBm	-18.16 dBm
NF	10.021 dB	8.904 dB	12.459 dB
LO to RF Isolation	117.9 dB	118.4 dB	117.5 dB
RF to IF Isolation	65.3 dB	76.4 dB	59.1 dB
P _{DC}	4.995 mW	8.16 mW	2.88 mW

表 2 與其他論文比較表

	Ref.[6] 0.18- μ m	Ref.[7] 0.13- μ m	Ref.[8] 0.18- μ m	This work
Voltage (V)	0.9	1.2	1	1.5
Frequency (GHz)	2.4	3-7	2.4	2.4
Conversion Gain (dB)	18.6	5.3-8.2	11.9	20.293
IIP3 (dBm)	-8.77	-3.2- -0.3	-3	-10.132

NF (dB)	13.6	9.6-13.5	13.9	10.032
P _{DC} (mW)	5.202	5.8	3.2	4.995

4.晶片佈局圖

電路佈局模型是使用 TSMC 標準的 0.18- μ m 1P6M CMOS 製程技術。此電路設計的佈局如圖 4.1 所示，晶片面積為 1.1 x 1.17 mm²。

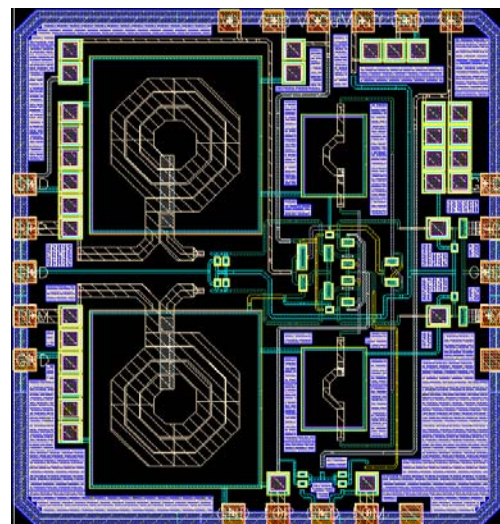


圖 4.1 晶片佈局圖

5.結論

本次專題設計之使用閃爍雜訊抑制技術之高增益主動式混頻器，是使用台積電標準的 0.18- μ m 1P6M 製程技術來製作。使用電流開關技術，可使 LO 輸入的雜訊降低，使用開關方式切換，也可功耗降低。電路的主體採用主動式雙平衡式混頻器 Gilbert-cell 架構，再配合電流注入技術，讓雜訊被抑制，讓電路整體效能提升。在供應電壓 1.5V 之條件下，電路之轉換增益為 20.112dB、IIP3 為 -9.827dBm、P1-dB 壓縮點為 -19.075dB、在 IF 中頻所獲得之雜訊係數為 10.021dB、功率消耗為 4.995mW，晶片面積為 1.1*1.17 mm²。

6.致謝

在此感謝台灣積體電路公司提供 IC 製程模型，並感謝國家晶片中心協助 IC 的製作管道，沒有他們幫助此項研究是無法完成的。

參考文獻

- [1] Thomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd edition, Cambridge, 2004.
- [2] B. Razavi, *RF Microelectronics*, Prentice Hall, Upper Saddle River NJ, 1998.
- [3] B. Razavi, *Design of Analog CMOS Integrated Circuit*, McGraw-Hill International Edition, 2001.
- [4] Hooman Darabi and Janice Chiu, "A Noise Cancellation Technique in Active RF-CMOS Mixers," *IEEE Journal of Solid-State Circuit*, Vol. 40, No. 12, Dec. 2005.
- [5] Jinsung Park, Chang-Ho Lee, Byung-Sung Kim and Joy Laskar, "Design and Analysis of Low Flicker-Noise CMOS Mixers for Direct-Conversion Receivers," *Trans on IEEE Microwave Theory and Techniques*, Vol. 54, No. 12, Dec. 2006.
- [6] Bao-lin Wei, Yu-jie Dai, Ying-jie Lu, Xiao-xing Zhang, Hui-min Liu, "A Sub 1V High-Gain Low-Noise CMOS Down-conversion Folded Mixer for 2.4GHz ISM Band Applications," *Intelligent Information Technology Application Workshops, 2008. Symposium on IITAW'08*, pp. 689-692, Dec. 2008.
- [7] K. Choi, D. H. Shin, and C. P. Yue, "A 1.2-V, 5.8-mW, ultra-wideband folded mixer in 0.13- μm CMOS," *Symposium on IEEE Radio Frequency Intergrated Circuits*, pp. 489-492, Jun. 2007
- [8] Vojkan Vidojkovic, Johan van der Tang, Arjan Leeuwenburgh, and Arthur H. M. van Roermund, "A Low-Voltage Folded-Switching Mixer in 0.18- μm CMOS," *IEEE Journal of Solid-State Circuit*, Vol. 40, No. 6, pp. 1259-1264, Jun. 2005.