

# 應用灰色決策於伽瑪校正架構之硬體實作分析

鄭群星  
景文科技大學  
環物系 副教授  
cscheng@just.edu.tw

葉建輝  
國立臺北科技大學  
電腦與通訊研究所 碩士生  
b9630440@gmail.com

黃士嘉  
國立臺北科技大學  
電腦與通訊研究所 副教授  
shuang@ntut.edu.tw

## 摘要

在數位影像處理中普遍使用伽瑪校正(gamma correction)來完成影像的增強(enhancement)，以提升整體影像的品質。由於伽瑪校正(gamma correction)含有除法及指數運算，軟體上實踐容易，但這些運算在硬體上不易實現。因此本研究藉由化簡的技術，將伽瑪校正的除法與指數運算化簡為硬體可實作之架構，以降低運算複雜度，並提升整體運算速度。此外並探討不同的硬體架構所產生的FPGA 晶片邏輯數、延遲時間、執行頻率等。並使用 Modelsim 與 Matlab 模擬驗證硬體架構結果的正確性。最後並使用灰色系統的灰色決策來分析採用何種架構能完成晶片最佳性能之目標。

**關鍵字：**伽瑪校正、影像增強、FPGA、灰色決策。

## Abstract

Gamma correction is commonly used in digital image processing for image enhancement to improve the quality of the images. Gamma correction can be provided using mathematical operations by division and exponent, which is easy to practice on software, it is not easy to implement on hardware. In this paper, we implement the hardware architectures of division and exponent operations of Gamma correction by simplify technique. In addition, we study logic delay cell, delay, and execution frequency of the FPGA chip on different hardware architecture. Then use Modelsim and Matlab to verify the correctness of the results of the

hardware architecture. Finally we used grey decision making to decide what kind of hardware architecture can be getting the optimal performance.

**Keywords:** Gamma correction, Image enhancement, FPGA, Grey decision making.

## 1. 前言

傳統的影像增強技術可分為兩種類型，也就是直方圖均化(histogram equalization)與伽瑪校正(gamma correction)兩種。上述兩種方法普遍用於增強影像的亮度，主要是將影像中較暗區域的細節清楚呈現於影像中，且在較亮的區域不會造成細節失真，而達到整體影像品質的提升。

在數位影像處理中，影像增強僅是其中一個重要的環節，為了使影像更鮮豔，對比度更高就必須先經過影像增強的技術而達到增強的效果，再進行後續的處理。然而這些演算法容易使用軟體來實現，為了提升執行的速度，因此如何將之實作於硬體上是值得探討的問題[7]。由於直方圖均化(histogram equalization)運算複雜度高於伽瑪校正，且在影像中會造成影像某些區塊過度增強失真，造成影像原本有的細節損失，因此本研究中將以伽瑪校正演算法做為硬體實作的依據，並以FPGA 晶片來實作。

在實作時將化簡過後的伽瑪校正演算法，以不同的串並聯架構實作，將實作後所產生的FPGA 晶片邏輯數(logic cell)、延遲時間及頻率等參數，以灰色決策方式，來分析採用何種硬體架構能完成晶片最佳性能之目的。

## 2. 理論介紹

### 2.1 伽瑪校正演算法簡介

由於人眼對於灰度變化與亮度變化感官敏銳，因此伽瑪校正曲線為一非線性的反應曲線，主要的影像調整是基於人眼特性，故其伽瑪校正演算法的公式如下(1)所示。

$$\text{Output}_{\text{enhance}} = \max(\text{Input}) * \left( \frac{\text{Input}_{\text{enhance}}}{\max(\text{Input})} \right)^\gamma \quad (1)$$

其中 $\max(\text{Input})$ 表示輸入影像中的最大值，如在8bit的像素中，最大值為255， $\gamma$ 為控制影像對應曲線，如圖1所示為 $\gamma$ 響應曲線。當 $\gamma = 1$ 輸出數值不會有增強效果，當 $\gamma > 1$ 輸出數值會比輸入影像數值低， $\gamma < 1$ 輸出數值會比輸入影像數值高，因此經過伽瑪校正處理後[2]的影像品質就能明顯提升，所以在影像增強領域，都以伽瑪校正演算法達到影像增強的目的。

伽瑪校正(gamma correction)特性與優點如下：

- (1) 基於人眼對於視覺的敏銳度提升影像品質。
- (2) 演算法複雜度低於直方圖均化(histogram equalization)。
- (3) 不會有區域過度增強與細節失真。

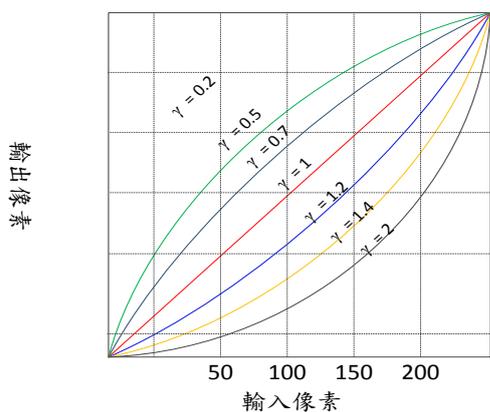


圖 1.  $\gamma$  響應曲線圖



圖 2.(a)原始影像，(b)伽瑪校正後影像( $\gamma = 0.5$ )

### 2.2 灰色決策分析理論

灰色理論係在1982年由中國學者鄧聚龍教授所提出[4 -5]。此理論包含五個主要部分：灰色關聯度分析(grey relational analysis)，灰色預測(grey predication)，灰色決策(grey decision making)，灰色規劃(grey programming)，灰色控制。其中灰色決策理論，是用來解決灰色系統多目標決策問題的方法[1][3][6][8]。

灰色決策方法是依據某一事件(event)，選擇其對策以判別其效果，再依據某些目標進行選擇最佳效果的對策的一種決定，因此就能找到效果最好的對策來對付事件的發生。

茲將其理論說明如下：

假設A為事件，B為對策，表示如下(2)式及(3)式所示。

$$A = \{a_i | i = 0, 1, 2, \dots, n\} \quad (2)$$

$$B = \{b_j | j = 0, 1, 2, \dots, n\} \quad (3)$$

$S_{ij} = \{a_i, b_j\}$ 的第ij的局勢是由 $a_{ij}$ 與 $b_{ij}$ 的二元組合而成， $S = [S_{ij}]$ 為局勢矩陣， $r_{ij}$ 為效果測度，依照不同需求可分成三種測度即：上限效果測度、適中效果測度、下限效果測度。

上限效果測度表示如下公式(4)所示：

$$r_{ij}^k = \frac{u_{ij}^k}{\max_i \max_j \{u_{ij}^k\}} \quad (4)$$

主要目的是要計算出最大值之程度，即希望目標數值效果越大越好。

下限效果測度則相反於上限效果測度，表示如下公式(5)所示。

$$r_{ij}^k = \frac{\min_i \min_j \{u_{ij}^k\}}{u_{ij}^k} \quad (5)$$

當希望效果要在指定目標附近範圍，可透過適中效果測度獲得，表示如下公式(6)式所示。

$$r_{ij}^k = \frac{\min\{u_{ij}^k, u_0\}}{\max\{u_{ij}^k, u_0\}} \quad (6)$$

透過上限效果測度、適中效果測度、下限效果測度的計算，我們能進一步的獲得決策效果測度矩陣，表示如下(7)式所示。

$$r_{ij}^\sigma = \begin{bmatrix} r_{i1}^\sigma & r_{i2}^\sigma & \dots & r_{ij}^\sigma \\ \vdots & \vdots & \dots & \vdots \\ r_{i1}^\sigma & r_{i2}^\sigma & \dots & r_{ij}^\sigma \end{bmatrix} \quad (7)$$

且可根據不同重點要求，分別加上權重 $w_k$ ， $\sum w_k = 1$ ，則綜合效果測度可定義為(8)式所示。

$$r_{ij}^\sigma = \sum_{k=1}^n w_k r_{ij}^k \quad (8)$$

$r_{ij}^\sigma$ 表不同之事件與不同對策，透過上述綜合效果測度之結果，即可獲得事件與對策的最佳決策解。

### 3. 伽瑪校正演算法之硬體實作

#### 3.1 伽瑪校正公式化簡

由於在硬體執行加、減、乘運算時間比除法快，因此要將伽瑪校正演算法硬體實作時其方程式必須先經過化簡，也就是將演算法盡量化簡為一般的運算子。將公式(1)化簡[7]，依據指數定理，乘法能化成兩個Log相加，除法則可化簡成兩個Log相減，故(1)式可化簡成如(9)式所示：

$$\text{Output}_{\text{enhance}} = \max(\text{Input}) * 2^{\gamma(\text{Log}_2(\text{Input}_{\text{enhance}}) - \text{Log}_2(\max(\text{Input})))} \quad (9)$$

在(9)式中可再化簡 $\text{Log}_2(\text{input enhance})$ 部分，其中 $\text{Log}_2(\text{input enhance})$ 部分的化簡如(10)式所示。

$$\text{Log}_2(k) \approx \frac{((1261k - 8435)k + 24666)k - 17481}{2^{-13}} \quad (10)$$

在(10)式中的 $2^{-13}$ 可再化簡成如(11)式所示。

$$2^k \approx \frac{((5179k + 14689)k + 45668)k + 65524}{2^{-16}} \quad (11)$$

因此本研究將伽瑪校正(gamma correction)分為三個步驟，如圖3所示分別為(1) 伽瑪公式化簡、

(2) Log(k) 化簡、(3)  $2^k$  任意次方化簡處理。

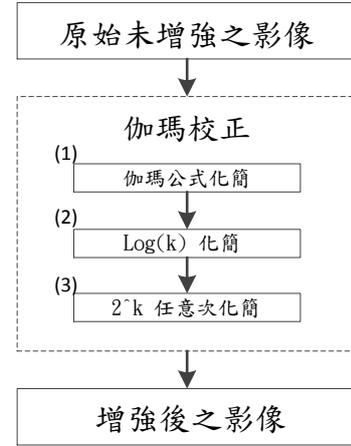


圖 3. 本研究所提出之影像增強架構圖

由上述化簡近似值的值，伽瑪校正(gamma correction)軟體演算法即可化簡為硬體導向演算法。

#### 3.2 硬體實作架構分析

本研究將針對化簡後之(9)式採取不同硬體實作架構以分析其完成實作 FPGA 晶片之邏輯數、延遲時間及執行頻率。硬體實作架構主要可分成 (1) 全串列架構、(2)  $2^k$  部分並列架構、(3)  $\text{Log}_2(k)$  部分並列架構及 (4)  $\text{Log}_2(k)$  與  $2^k$  全部採並列架構等四種架構，由於採用不同串並列架構所需 FPGA 晶片邏輯數，延遲時間及執行頻率會有所不同，因此我們透過灰色決策來決定最後要採用何種架構以實踐伽瑪校正最佳性能之功能。如圖4所示為本研究實作之全串列執行架構，圖5所示為 $\text{Log}_2(k)$  部分採並列架構、圖6所示為 $2^k$  部分採並列架構、圖7所示為 $\text{Log}_2(k)$  與  $2^k$  部分全部採用並列架構。

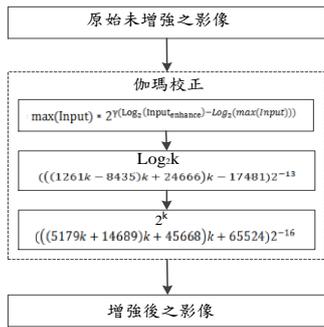


圖 4. 全串列執行架構

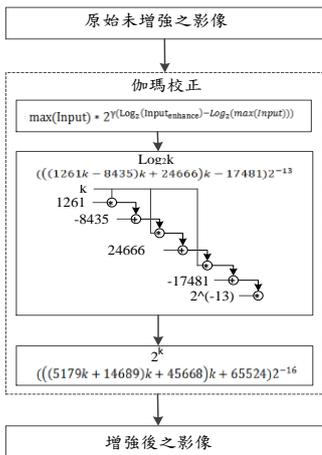


圖 5.  $\text{Log}_2(k)$  部分採並列架構

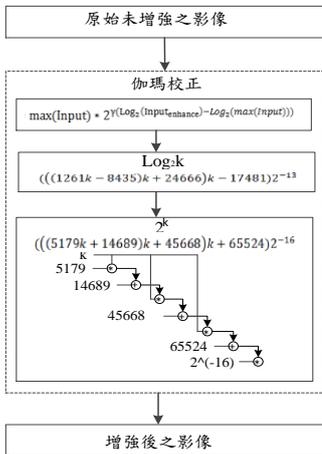


圖 6.  $2^k$  部分採並列架構

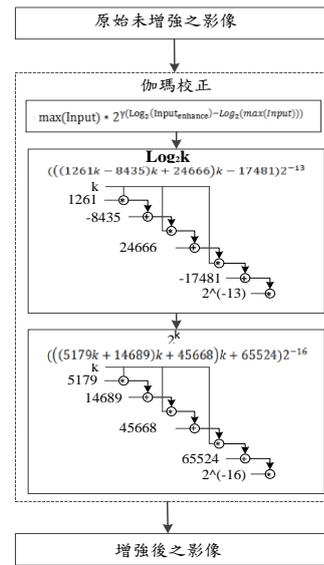


圖 7.  $\text{Log}_2(k)$  與  $2^k$  部分全部採並列架構

## 4. 實驗結果

### 4.1 FPGA 晶片實作結果

本研究採用 Altera QuartusII(EP2C70F896C6N) FPGA 晶片並以 Verilog 硬體描述語言設計實作伽瑪校正演算法之不同架構，且使用 Modelsim 與 Matlab 驗證其硬體實作之正確性。如圖 8 所示為使用 ModelSim 模擬  $\text{Log}_2(k)$  採用並列架構之模擬波形，當  $k$  值的十進制數值為 27 時對應的浮點數值為 41D80000，將之輸入  $\text{Log}_2(k)$  電路中，經過模擬結果我們可獲得 4098237B 的輸出，此結果將之換算為十進制數值為 4.7543，而使用 Matlab 驗證如圖 8 右上角所示  $\text{Log}_2(k)$  的輸出值為 4.7549，差異不大。如圖 9 所示為  $2^k$  採用並列架構使用 Modelsim 模擬之結果，當  $k$  值的十進制數值為 -5.1238 對應的浮點數值為 C0A3F62B 將之輸入  $2^k$  電路中，經過 ModelSim 模擬結果可獲得 3CEAF8F3 的輸出，此結果將之換算為十進制數值為 0.0286，而使用 Matlab 模擬的結果如圖 9 右上角所示為 0.0287，因此其硬體實作驗證的結果是正確的。

## 4.2 應用灰色決策於不同硬體架構之性能分析

如表 1 所示為本研究採用四種不同硬體實作架構時所使用的 FPGA 晶片邏輯數、延遲時間及工作頻率。我們要應用灰色決策決定出採用何種架構能達到我們想要的最少邏輯數，最小延遲時間及最高執行頻率。以使伽瑪校正(gamma correction)硬體實作之演算法能達到較精準與較高速率之運算。

表 1、不同硬體架構 FPGA 晶片實作之性能參數

	邏輯閘數 (Logic Cell)	延遲時間 (Delay)(ns)	頻率 (Max Frequency)(Mhz)
全串列執行架構	3823	9.832	102.42
$2^k$ 部分採並列架構	8184	9.459	101.5
$\text{Log}_2(k)$ 部分採並列架構	8119	9.963	93.24
$\text{Log}_2(k)$ 與 $2^k$ 全部採並列架構	8184	9.643	96.04

其執行步驟如下：

(1). 首先建立出事件集合為：全串列執行架構、 $\text{Log}_2(k)$  部分採並列執行架構、 $2^k$  部分採並列執行架構及  $\text{Log}_2(k)$  與  $2^k$  部分全採並列執行架構，分別表示為  $a_0$ 、 $a_1$ 、 $a_2$ 、 $a_3$ 。

(2). 由於我們期望 FPGA 晶片實作時邏輯數可以最少，延遲時間最小，執行速率最高，因此由上述之條件建立出其效果矩陣為：

$$u_{i1}^{(1)} = [u_{11}^1 \ u_{21}^1 \ u_{31}^1 \ u_{41}^1] = [3823 \ 8184 \ 8119 \ 8148]。 \quad (12)$$

$$u_{i2}^{(2)} = [u_{12}^2 \ u_{22}^2 \ u_{32}^2 \ u_{42}^2] = [9.832 \ 9.459 \ 9.963 \ 9.643]。 \quad (13)$$

$$u_{i3}^{(3)} = [u_{13}^3 \ u_{23}^3 \ u_{33}^3 \ u_{43}^3] = [102.42 \ 101.50 \ 93.24 \ 96.04]。 \quad (14)$$

對目標 1 而言希望 FPGA 晶片邏輯數越小越好，因此我們採用公式(5)之下限公式即：

$$r_{i1}^{(1)} = [r_{11}^1 \ r_{21}^1 \ r_{31}^1 \ r_{41}^1] = \left[ \frac{3823 \ 3823 \ 3823 \ 3823}{3823 \ 8148 \ 8119 \ 8148} \right]。 \quad (15)$$

對目標 2 而言希望 FPGA 晶片之延遲時間越小越好，因此採用公式(5)之下限公式，則其

$$r_{i2}^{(2)} = [r_{12}^2 \ r_{22}^2 \ r_{32}^2 \ r_{42}^2] = \left[ \frac{9.459 \ 9.459 \ 9.459 \ 9.459}{9.832 \ 9.459 \ 9.963 \ 9.643} \right]。 \quad (16)$$

對目標 3 而言希望執行速率越高越好，因此我們採用公式(2)上限公式，則其上限效果測度為：

$$r_{i3}^{(3)} = [r_{13}^3 \ r_{23}^3 \ r_{33}^3 \ r_{43}^3] = \left[ \frac{102.42 \ 101.50 \ 93.24 \ 96.04}{102.42 \ 102.42 \ 102.42 \ 102.42} \right]。 \quad (17)$$

故可得如表 2 所示之各種不同架構之效果測度。

(3)最後求出綜合效果測度  $r_{ij}$  為：

$$r_{11} = \frac{1}{3}(1 + 0.9621 + 1) = 0.9873。 \quad (18)$$

$$r_{21} = \frac{1}{3}(0.4671 + 1 + 0.9910) = 0.8193。 \quad (19)$$

$$r_{31} = \frac{1}{3}(0.4709 + 0.9494 + 0.9104) = 0.7769。 \quad (20)$$

$$r_{41} = \frac{1}{3}(0.4692 + 0.9809 + 0.9377) = 0.7959。 \quad (21)$$

如表 3 所示為綜合效果測度之排序，則最佳採取硬體實作架構為：全串列執行架構 >  $2^k$  部分採並列執行架構 >  $\text{Log}_2(k)$  與  $2^k$  部分全部採並列執行架構 >  $\text{Log}_2(k)$  部分採並列執行架構。也就是採用全串列執行架構最能達到較少晶片邏輯數、最低延遲時間及最快執行頻率之目標，其次則為  $2^k$  部分採並列架構，依此類推。

表 2、不同硬體架構之效果測度

	邏輯數 (Logic Cell)	延遲時間 (Delay) (ns)	頻率 (Max Frequency) (Mhz)
	效 果 測 度		
全串列執行架構	1	0.9621	1
$2^k$ 部分採並列架構	0.4671	1	0.991
$\text{Log}_2(k)$ 部分採並列架構	0.4709	0.9494	0.9104
$\text{Log}_2(k)$ 與 $2^k$ 全部採並列架構	0.4692	0.9809	0.9377

表 3、不同硬體架構之綜合效果測度

	綜合效果測度	排序
全串列執行架構	0.9873	1
$2^k$ 部分採並列架構	0.8193	2
$\text{Log}_2(k)$ 部分採並列架構	0.7769	4
$\text{Log}_2(k)$ 與 $2^k$ 全部採並列架構	0.7959	3

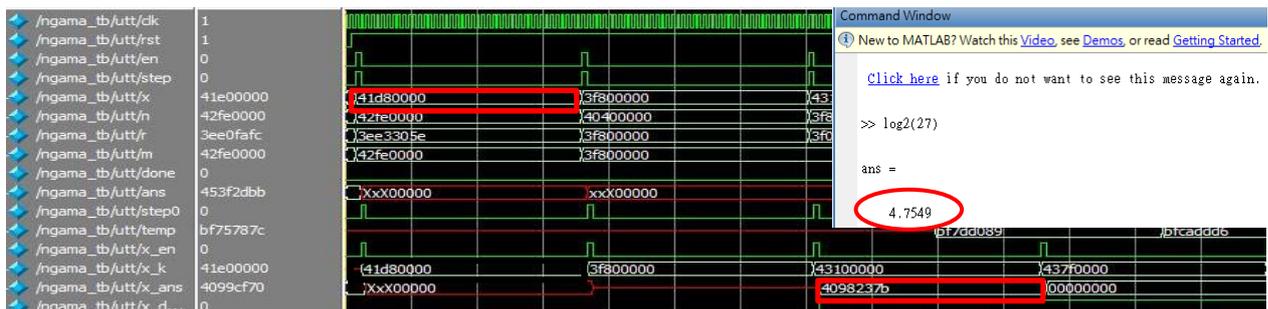


圖 8.  $\text{Log}_2(k)$ 部分採並列架構之模擬結果(ModelSim 及 Matlab)



圖 9.  $2^k$ 部分採並列架構之模擬結果(ModelSim 及 Matlab)

## 5. 結論

本研究仍是將影像增強技術中的伽瑪校正演算法以 FPGA 晶片硬體實作，在硬體實作採用的四種不同硬體架構經過 ModelSim 及 Matlab 的模擬驗證證明其實作的可行性。最後再將四種不同實作硬體架構所使用的 FPGA 邏輯數、延遲時間及最高執行頻率因數以灰色決策來決定要採用何種硬體實作架構才能達成最佳效能之目標。

## 參考文獻

[1]吳占鰲、鄭群星、蔡加春，"灰色綜合多目標決策應用於VLSI佈局資料結構之選擇"，*台北科*

*技大學學報*，第三十四之一期，頁99~108，民國九十年三月。

[2]鄭群星，*FPGA/CPLD 晶片設計入門*，全華科技圖書公司，2008。

[3]鄭群星、李書岳，"灰色綜合多目標決策應用於 DAC 及 ADC 性能之評估"，*台北科技大學學報*，第三十五之一期，頁 149~156，民國九十一年三月。

[4]Deng Julong, "Control problems of grey system", *System and Control Letters*, pp.288-294,1982.

[5] Deng Julong, "Introduction to Grey system theory", *The Journal of Grey System*, pp1-24, 1989.

[6]Jan-Ou Wu, Yang-Hsin Fan, and San-Fu Wang "Using Grey Decision Making Approach to

- Improve FPGA Performance”, *PIERS Proceedings*, Xi'an, China, March 22-26, 2010 ◦
- [7] Jesse Scott, Michael Pusateri, “Towards real-time hardware gamma correction for dynamic contrast enhancement”, *IEEE Applied Imagery Pattern Recognition Workshop*, pp. 1-5, Oct ,2009 ◦
- [8] Yinyan Wang, Jianwei Du, and Hechun Wang, Chuanlei Yang “Grey Decision Making Theory Approach to the Turbocharged Diesel Engine”, *IEEE International Conference on Grey Systems and Intelligent Services*, Nanjing, China, November 18-20, 2007 ◦